

Docket No.: 63979-041

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277

**Kenji TOYODA, et al.** : Confirmation Number:

Serial No.: : Group Art Unit:

Filed: February 24, 2004 : Examiner:

For: METHOD OF DRIVING A NON-VOLATILE FLIP-FLOP CIRCUIT USING VARIABLE  
RESISTOR ELEMENTS

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

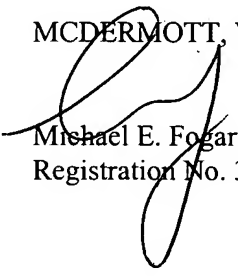
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2002-319722, filed November 1, 2002**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:mcw  
Facsimile: (202) 756-8087  
**Date: February 24, 2004**

h

63979-041

TOYODA et al.

February 24, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

Dermott Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月    1 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 3 1 9 7 2 2  
Application Number:

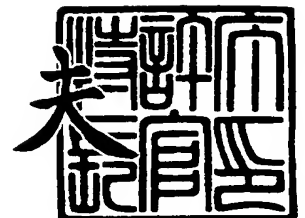
[ST. 10/C] :                      [ J P 2 0 0 2 - 3 1 9 7 2 2 ]

出      願                      人                      松下電器産業株式会社  
Applicant(s):

2 0 0 3 年    9 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 7 8 1 8 5

【書類名】 特許願

【整理番号】 2030240085

【提出日】 平成14年11月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 49/00  
H01L 21/84  
H01L 27/10

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 豊田 健治

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大塚 隆

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

## 【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

## 【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 抵抗変化素子を用いた不揮発性フリップフロップ回路およびその駆動方法

【特許請求の範囲】

【請求項1】 一对のインバータを有する帰還回路部と、前記帰還回路部の端子である記憶端子がそれぞれパストランジスタを介してビット線と接続され、前記パストランジスタが共通のワード線によって制御され、

前記記憶端子とプレート線の間には制御信号線によって制御される制御用トランジスタを介して直列に接続された抵抗変化素子を有することを特徴とする抵抗変化素子を用いた不揮発性フリップフロップ。

【請求項2】 前記抵抗変化素子に電流を流すことで、前記抵抗変化素子の抵抗値が変化し、前記抵抗変化素子において、すくなくとも2つの状態、高抵抗状態と低抵抗状態とを有することを特徴とする請求項1に記載の抵抗変化素子を用いた不揮発性フリップフロップ。

【請求項3】 前記抵抗変化素子の材料として、カルコゲナイド化合物を用いることを特徴とする請求項2に記載の抵抗変化素子を用いた不揮発性フリップフロップ。

【請求項4】 前記帰還回路部のインバータが少なくとも一つの電界効果型トランジスタによって構成されることを特徴とする抵抗変化素子を用いた不揮発性フリップフロップ。

【請求項5】 前記抵抗変化素子において、高抵抗状態の抵抗値が低抵抗状態の抵抗値の5倍以上であることを特徴とする抵抗変化素子を用いた不揮発性フリップフロップ。

【請求項6】 前記抵抗変化素子の高抵抗状態の抵抗値が、前記電界効果型トランジスタのオン抵抗以上であることを特徴とする抵抗変化素子を用いた不揮発性フリップフロップ。

【請求項7】 請求項6の抵抗変化素子を用いた不揮発性フリップフロップにおいて、前記抵抗変化素子をすべて低抵抗状態にする第一のステップと、前記抵抗変化素子のいずれか一つを高抵抗状態にする第二のステップと、前記不揮発性フ

リップフロップの電源を切断する第三のステップを有することを特徴とする抵抗変化素子を用いた不揮発性フリップフロップの駆動方法。

【請求項 8】 前記第一のステップにおいて、前記制御信号線に電源電位以上の電圧を印加させ、前記制御信号線に電源電位以上の電圧を印加させている間に、前記プレート線に接地電位および電源電位を印加させることを特徴とする抵抗変化素子を用いた不揮発性フリップフロップの駆動方法。

【請求項 9】 前記第二のステップにおいて、前記制御用信号線に電源電位以上の電圧を印加させ、前記制御用信号線に電源電位以上の電圧を印加させる時間が第一のステップより短いことを特徴とする不揮発性フリップフロップの駆動方法。

【請求項 10】 請求項 6 に記載の抵抗変化素子を用いた不揮発性フリップフロップにおいて、前記制御用トランジスタを導通状態にした後、電源線を接地電位から電源電位まであげる第四のステップを有することを特徴とする不揮発性フリップフロップ。

【請求項 11】 前記第四のステップにおいて、前記 2 個の記憶端子の電位差が前記電界効果型トランジスタのしきい値以上になったとき、前記制御用トランジスタを非導通状態にすることを特徴とする抵抗変化素子を用いた不揮発性フリップフロップ。

【請求項 12】 前記制御用トランジスタを非導通状態にすることで、前記帰還回路部を通常のフリップフロップとして用いることを特徴とする抵抗変化素子を用いた不揮発性フリップフロップ。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

本発明は、抵抗変化素子を用いた不揮発性フリップフロップに関するものであり、特に、通常動作時に高速に動作し、電源遮断時等必要時に不揮発性動作が可能な不揮発性フリップフロップおよびその駆動方法に関する。

#### 【0002】

#### 【従来の技術】

近年の携帯端末の普及によって、半導体素子の小型化、低消費電力化が求められている。これにより、携帯機器における不揮発性メモリの必要性も高まっている。現在、不揮発性メモリとして実用化されているのは、フラッシュメモリや強誘電体メモリ (FeRAM) などである。また、携帯機器の場合、小型化のために、論理回路に混載される場合もある。さらに、Siを中心とするデータ処理の素子では、小型化、低消費電力化だけでなく、高速化も求められている。一方、不揮発性メモリとして、代表的なフラッシュメモリは、書き込み動作速度が遅く、高電圧を必要とする。したがって、携帯機器には不向きである。そこで、低消費電力で高速動作可能な強誘電体メモリ (FeRAM) が注目されている。しかし、Siチップに混載する場合、強誘電体の成膜温度の高さやPt等の貴金属の電極などによりプロセスコストが増大してしまう。また、不揮発性メモリをSiチップに、外付けで回路を構成する場合、実装面積が増大するため、機器の小型化や軽量化に影響を与えてしまう。さらに、Si素子で構成された論理デバイスの動作速度は、前述の不揮発性メモリより高速であるため、メモリへのデータの入出力の速度がオーバヘッドとなってしまう。

#### 【0003】

Siデバイスの高速性と不揮発メモリの不揮発性との利点を生かした回路構成が、特許文献1に提案されている。この従来例は、Siデバイスで多く用いられるフリップフロップ (FF) 回路に強誘電体キャパシタを付与した構成であり、通常動作はSiデバイスの論理動作と同様に高速動作し、必要なとき強誘電体キャパシタへデータの書き込みを行なう。

#### 【0004】

特許文献1の回路動作について説明する。

#### 【0005】

図8にその回路構成を示す。トランジスタ101, 102によって構成されるインバータとトランジスタ103, 104によって構成されるインバータとが一方の出力が他方の入力に接続され、FF部が構成されている。また、記憶端子Q1 (109), Q2 (110) は、ゲート部がワード線113に接続されたパストランジスタ105, 106を介してビット線111, 112に接続されている。さらに、強誘電体キャパシタ107, 108が記憶

端子Q1(109), Q2(110)とPL線115に接続されている。

#### 【0006】

通常のREAD動作およびWRITE 動作は、通常のフリップフロップと同様の動作を行なう。

#### 【0007】

強誘電体キャパシタへの書き込み動作(STORE)は、以下のような方法で行なわれる。まず、通常Vdd/2に設定されているPL線115を1.2Vddまで昇圧した後、負の電位-0.2Vddを印加させる。この動作により、記憶端子Q1(109), Q2(110)の電位に応じて、強誘電体キャパシタ107, 108はそれぞれ互いに逆向きの電圧が印加される。その後、PL線115を0Vにし、電源線DD(114)を0Vにすることで、電源を遮断する。以上の動作によって、強誘電体キャパシタ107, 108の分極は、それぞれ互いに逆向きに設定される。

#### 【0008】

強誘電体キャパシタからの読み出し動作(RECALL)は、以下のような方法で行なわれる。PL線115を0Vに固定したまま、電源線DD(114)を徐々に上昇させる。強誘電体キャパシタの分極状態によって、電源を上昇させたときに、一方の強誘電体キャパシタの分極反転が生じ、他方の強誘電体キャパシタの分極反転が生じない。すなわち、実効的な容量が異なってくるために、電源上昇に伴う記憶端子Q1(109), Q2(110)の電位上昇の速度に差が生じる。この差を利用して、記憶端子の電位を再設定することが可能となる。

#### 【0009】

##### 【特許文献1】

特開 2000-293989 号公報(6-9頁、第2図)

#### 【0010】

##### 【発明が解決しようとする課題】

しかしながら、上記従来の技術においては、以下のような課題があった。

#### 【0011】

第一に、強誘電体は、ある電界(抗電界)を超えると分極反転が起こる。この分極の状態によって、データの"0", "1"を表すが、抗電界以下の電界においても、



若干の分極反転が生じる。このため、書き込み、読み出し以外の抗電界以下の電圧が印加された場合でも、分極状態がわずかながら変化し、この繰り返しにより、保持させたい分極状態が破壊されるデイスターブと呼ばれる現象が生じる。そのため、強誘電体キャパシタへのデイスターブを防ぐために、強誘電体キャパシタ107・108に加わる電圧を正確に制御する必要がある。

#### 【0012】

第二に、強誘電体キャパシタ107・108はFFの記憶端子に接続されている。このため、記憶端子の寄生容量が増大してしまう。また、FFの動作中においても、強誘電体キャパシタ107、PL線115、他方の強誘電体キャパシタ108といった経路で電界が印加されている。強誘電体キャパシタ107・108のリーク電流は、 $\text{SiO}_2$ 等のSiデバイスに用いられる絶縁膜のリーク電流より大きいため、FF動作中に、上記経路でのリーク電流が存在する。さらに、通常動作中、PL線を $V_{dd}/2$ に固定するための電流が必要となるので、消費電流が増大してしまう。

#### 【0013】

本発明の目的は、電氣的に安定に動作し、通常動作時に高速かつ低消費電力に動作する不揮発性フリップフロップ回路およびその駆動方法を提供することにある。

#### 【0014】

##### 【課題を解決するための手段】

この課題を解決するため本発明は、抵抗変化素子を用いた不揮発性フリップフロップ回路およびその駆動方法を提案する。

#### 【0015】

本発明の第一の発明の抵抗変化素子を用いた不揮発性フリップフロップ回路は、一対のインバータを有する帰還回路部と、前記帰還回路部の端子である記憶端子がそれぞれパストランジスタを介してビット線と接続され、前記パストランジスタが共通のワード線によって制御され、前記記憶端子とプレート線の間に制御信号線によって制御される制御用トランジスタを介して直列に接続された抵抗変化素子を有することを特徴とする。

#### 【0016】

カルコゲナイド化合物に代表される相変化材料の抵抗変化素子は、電流で発生するジュール熱によって低抵抗状態と高抵抗状態とに変化する。すくなくとも2個の抵抗変化素子の低抵抗状態と高抵抗状態の抵抗の差によって、前記帰還回路部であるフリップフロップの記憶情報を安定に復帰させることが可能となる。

#### 【0017】

通常のフリップフロップの動作として用いる場合、制御用トランジスタを非導通状態にすることで、前記抵抗変化素子が寄生抵抗として働かないので、高速かつ低消費電力で動作する。

#### 【0018】

##### 【発明の実施の形態】

本発明の実施の形態について図を用いて説明する。

#### 【0019】

##### (第一の実施形態)

図1は、本発明の第一の実施形態を示す回路図である。図1において、1は第一のN型MOSトランジスタM1、2は第二のP型MOSトランジスタM2、3は第三のN型トランジスタであるN型MOSトランジスタM3、4は第四のP型MOSトランジスタM4、5は第五のN型MOSトランジスタM5、6は第六のN型MOSトランジスタM6、7は第七のN型MOSトランジスタM7、8は第八のN型MOSトランジスタM8、9は第一の記憶端子である端子Q1、10は第二の記憶端子である端子Q2、11はビット線B1、12はビット線B2、13はワード線WT、14は電源線DD、15は第一の抵抗変化素子R1、16は第二の抵抗変化素子R2、17は制御信号線であるCS線、18はPL線である。

#### 【0020】

図1に示すように、本実施形態では、第一のN型MOSトランジスタM1(1)と第二のP型トランジスタM2(2)、第三のN型MOSトランジスタM3(3)と第四のP型MOSトランジスタM4(4)でインバータを構成し、記憶端子である端子Q1(9)、Q2(10)に接続し、上記2個のインバータで帰還回路部であるフリップフロップを構成している。また、パストランジスタである第五のN型MOSトランジスタM5(5)および第六のN型MOSトランジスタM6(6)とによって、アドレス選択を行なうことが可能となる。さらに、記憶端子Q1(9)、Q2(10)は、制御用トランジスタである第七のN型MOSトラ

ンジスタM7(7)および第八のN型MOSトランジスタM8(8)とを介して、それぞれ第一の抵抗変化素子15、第二の抵抗変化素子16が接続されている。さらに、第一および第二の抵抗変化素子15、16は、PL線18に接続されている。この第一および第二の抵抗変化素子15、16は、素子形成後に抵抗値を変えられるものとし、本実施形態では一例として、GeTeSb等のカルコゲナイド化合物で構成される相変化材料を用いた抵抗変化素子とした。後述する手段を用いることで、第一および第二の抵抗変化素子15、16の抵抗値を変化させるが可能である。これにより、フリップフロップの記憶情報を電源遮断後も不揮発に保持することが可能となる。

### 【0021】

電源電圧Vddが供給されている通常の動作時では、パストランジスタM5(5)、M6(6)の導通状態にすることで、記憶端子からビット線に記憶情報を読み出すREAD動作、ビット線から記憶端子に記憶情報を書き込むWRITE動作を行なう。また、電源遮断時にフリップフロップの記憶情報を抵抗素子に書き込むSTORE動作を行なう。さらに、電源復帰時に抵抗素子に書き込まれた情報を読み出すRECALL動作を行なう。

### 【0022】

#### ①通常動作(READ、WRITE動作)

通常のフリップフロップでも行なわれるREAD動作、WRITE動作について説明する。このとき、制御用トランジスタM7(7)、M8(8)を非導通状態にし、フリップフロップと抵抗変化素子とを切り離す。パストランジスタM5(5)、M6(6)の導通状態にすることで、記憶端子からビット線に記憶情報を読み出すREAD動作、ビット線から記憶端子に記憶情報を書き込むWRITE動作を行なう。このとき、第一および第二の抵抗変化素子は、パストランジスタM7(7)、M8(8)によって切り離されているので、READ動作およびWRITE動作において寄生抵抗として働かない。また、記憶端子である端子Q1(9)、Q2(10)には、それぞれ0VあるいはVddが保持されている。この場合、インバータに貫通電流がほとんど流れないので、待機時リーク電流はほとんど流れない。

### 【0023】

#### ②STORE動作

本実施形態の回路のSTORE動作について説明する。STORE動作は、2つのステップからなる。第一のステップのSTORE動作では、第一および第二の抵抗素子15, 16とともに結晶状態にし、両抵抗変化素子15, 16の抵抗値を低抵抗にする。第二のステップのSTORE動作では、第一または第二抵抗素子15, 16のいずれか一方のみをアモルファス状態にし、一方の抵抗変化素子の抵抗値を高抵抗にすることで、フリップフロップの記憶情報を抵抗素子に書き込む。

#### 【0 0 2 4】

##### (1) 第一のステップ

STORE動作の第一のステップについて図4, 5を用いて説明する。一例として、最初は、第二の抵抗変化素子16の抵抗値は、第一の抵抗変化素子15の10倍とする。図4は、STORE動作の第一のステップ時における、本実施形態の各端子のタイミングチャートである。CS線17をある瞬間から $T_b$ の2倍の時間まで昇圧された電圧 $V_{bt}$ を印加させ、制御用トランジスタM7(7)およびM8(8)のトランジスタを導通状態にすることで、第一の抵抗変化素子15および第二の抵抗変化素子16に電流が流れる。第一および第二の抵抗変化素子R1(15), R2(16)は、GeTeSb等のカルコゲナイド化合物で構成される相変化材料によって形成されている。相変化材料に、ある一定以上のジュール熱を与え、徐々に冷却すれば、結晶状態になり低抵抗になる。絶縁膜に $SiO_2$ を用い、 $\phi$  190nmの相変化材料の場合、結晶状態に要するジュール熱は、約1.6pJである(S. Tyson et al., Aerospace Conference Proceedings, 2000 IEEE vol.5 pp385-390)。

#### 【0 0 2 5】

本実施形態では、一例として、CS線17に昇圧された電圧 $V_{bt}$  (3.9V)を印加する時間 $T_b$ を100nsとした。また、第一および第二の抵抗素子R1(15), R2(16)の直径は、 $\phi$  190nmとし、絶縁膜として $SiO_2$ を用いた。各端子CS, PL, DDの電圧は、図4のタイミングチャートにしたがって印加し、図1の回路のSTORE動作の第一のステップの解析をシミュレーションによって行なった。

#### 【0 0 2 6】

第一および第二の抵抗素子R1(15), R2(16)に流れる電流のシミュレーション結果を図5に示す。端子Q1(9), Q2(10)からPL線18へ流れる方向を正とする。今、フ

リップフロップの記憶端子のQ1に"1"、Q2に"0"が保持されている。この情報を第一および第二の抵抗変化素子に書きこむ。まず、CS線17にVbtが印加されるので、制御用トランジスタM7(7)、M8(8)が導通状態になる。次に、PL線18に0Vの電位を保持する時間Tb1を50nsにした。なお、電源線14の電位はVddに維持した。このとき、第一の抵抗変化素子15の両端の電位はVddおよび0となり、図5から分かるように、第一の抵抗変化素子R1(15)に約26 $\mu$ Aの電流が流れ、約3.4pJのジュール熱が発生した。なお、第二の抵抗変化素子16の両端の電位はいずれも0Vであるので、第二の抵抗変化素子16の両端には電流は流れない。

#### 【0027】

次に、図4に示す時間Tb2を50nsとして、PL線18にVddの電圧を印加した。このときも、電源線14の電位をVddに維持した。このとき、第二の抵抗変化素子16の両端の電位は0およびVddとなるので、図5から分かるように、R1とは逆向きにR2(16)に約260 $\mu$ Aの電流が流れ、約37pJのジュール熱が発生した。なお、第一の抵抗変化素子15の両端の電位はいずれもVddであるので、第一の抵抗変化素子15の両端には電流は流れない。抵抗変化素子15、16で発生するジュール熱は、徐々に冷却すれば、結晶状態になるのに十分な熱量である。

#### 【0028】

このように、STORE動作の第一のステップでは、まず、制御信号線に昇圧された電圧を印加させ、制御用トランジスタを導通状態にする。次に、PL線のある一定期間0Vした後、Vddにする。これにより、第一および第二の抵抗素子にそれぞれ電流が流れ、結晶状態に必要なジュール熱を与えることが実現された。

#### 【0029】

なお、本実施形態では、制御用トランジスタを導通状態にし、PL線を0Vにする時間Tb1を50ns、PL線をVddにする時間Tb2を50nsにしたが、これに限定されるものではない。第一および第二の抵抗変化素子に発生するジュール熱が結晶状態になるのに要するジュール熱であれば、いくらでも構わない。

#### 【0030】

##### (2) 第二のステップ

STORE動作の第二のステップについて図6、7を用いて説明する。第一および第

二の抵抗素子の抵抗値15, 16は、第一のステップによって、ともに結晶状態になり、低抵抗値で同じ程度の値になっている。図6は、STORE動作の第二のステップ時における、本実施形態の各端子のタイミングチャートである。CS線17をある瞬間から時間 $T_c$ まで昇圧された電圧 $V_{bt}$ を印加させ、M7(7)およびM8(8)のトランジスタを導通状態にする。今、フリップフロップの記憶端子Q1(9), Q2(10)の電圧は"1", "0"に対応するようにそれぞれ $V_{dd}$ , 0に保持されている。これにより、第一の抵抗素子15に大きな電流が流れる。第一および第二の抵抗素子R1(15), R2(16)は、GeTeSb等の相変化材料によって形成されている。相変化材料に、ある一定以上のジュール熱を与え、融点以上にし、急激に冷却すれば、アモルファス状態になり高抵抗になる。絶縁膜に $SiO_2$ を用い、 $\phi$  190nmの相変化材料の場合、結晶状態に要するジュール熱は、約3.6pJである(S. Tyson et al., Aerospace Conference Proceedings, 2000 IEEE vol.5 pp385-390)。いま、制御信号線であるCS線に電圧印加させる時間 $T_c$ を調整し、第一の抵抗変化素子15のみアモルファス状態、高抵抗にする。第二の抵抗変化素子16には電流がほとんど流れないため、結晶状態すなわち低抵抗のままである。

#### 【0031】

本実施形態では、一例として、CS線17に昇圧された電圧 $V_{bt}$  (3.9V)を印加する時間 $T_c$ を10nsとした。第一の抵抗変化素子R1(15)および第二の抵抗変化素子R1(16)の抵抗値は、ともに10k $\Omega$ とした。各端子CS, PL, DDの電圧は、図6のタイミングチャートにしたがって印加し、図1の回路のSTORE動作の第二のステップの解析をシミュレーションによって行なった。

#### 【0032】

第一および第二の抵抗素子R1(15), R2(16)に流れる電流のシミュレーション結果を図7に示す。図7から分かるように、安定状態において、R1(15)に約208 $\mu$ Aの電流が流れた。このとき、第一の抵抗変化素子15で発生するジュール熱は、約4.8pJとなった。これは、抵抗変化素子をアモルファス状態にするのに十分な値である。CS線17を急峻に0Vにすることで、抵抗変化素子を急冷させることができ、第一の抵抗変化素子15を結晶状態からアモルファス状態に変化させることができる。第二の抵抗変化素子16には、電流がほとんど流れないため、結晶状態にま

である。これにより、第一の抵抗変化素子15はアモルファス状態になり、高抵抗になる。一方、第二の抵抗変化素子16は結晶状態のままであり、低抵抗である。一例として、第一の抵抗変化素子15の抵抗値は、第二の抵抗変化素子16の10倍となり得、最初の状態とは逆になっている。

#### 【0033】

このように、STORE動作の第二のステップでは、CS線17に昇圧された電圧を印加させ、制御用トランジスタ7,8を導通状態にし、フリップフロップの記憶端子の"1"に接続されている抵抗変化素子のみアモルファス状態に必要なジュール熱を与えることが実現された。また、STORE動作の第一のステップおよび第二のステップによって、フリップフロップの記憶情報を抵抗変化素子に書き込むことで不揮発に情報が保持されることが可能となる。

#### 【0034】

なお、本実施形態のSTORE動作の第二ステップにおいて、制御用トランジスタをどう通状態にする時間 $T_c$ を10nsにしたが、抵抗変化素子にアモルファス状態にするのに要するジュール熱を与えられれば、いくらでも構わない。

#### 【0035】

STORE動作終了後、第三のステップとして、この不揮発性フリップフロップの電源を切断する。

#### 【0036】

##### ③RECALL動作

次に、本実施形態の回路の第四のステップであるRECALL動作について図2, 3を用いて説明する。上記のように、第一の抵抗変化素子15の抵抗値は、第二の抵抗変化素子16の10倍となっている。図2は、RECALL動作時における、本実施形態の各端子のタイミングチャートである。他端子、ワード線13、ビット線11, 12は0Vとする。電源線DD(14)をある瞬間から時間 $T_a$ 後に、0VからVddまでスローブ状に上げる。このとき、同時にCS線17に電源電位Vddを印加し、制御用トランジスタM7(7), M8(8)を導通状態にする。記憶端子Q1(9), Q2(10)の電位は、電源線DD(14)が上昇するに従って、ともに上昇する。しかし、Q1(9), Q2(10)に接続されている抵抗変化素子15, 16の抵抗値が異なるために、Q1(9), Q2(10)の電位上昇に差

が生じる。今、第一の抵抗変化素子15の抵抗値が第二の抵抗変化素子16より大きいため、Q1(9)の電位がQ2(10)の電位より大きくなる。Q1(9), Q2(10)の電位差がある大きさ以上になったとき、CS線17を電源電位Vddから0Vに下げた。そこで、Q1(9), Q2(10)の電位は固定(ラッチ)し、電源線DD(14)がVddになったとき、Q1(9)の電位はVdd、Q2(10)の電位は0Vになる。

#### 【0037】

本実施形態では、一例として、MOSトランジスタの最小ゲート長を $0.35\mu\text{m}$ とし、電源電圧Vddを3.3Vとした。また、N型トランジスタのしきい値は約0.5V、P型トランジスタのしきい値は約0.6Vと設定した。

#### 【0038】

電源復帰時において、DD(14)の電源電圧の上げる時間Taを10nsとした。また、第一の抵抗変化素子R1(15)の抵抗値をMOSトランジスタのオン抵抗の値と同程度の $10\text{k}\Omega$ とし、第二の抵抗変化素子R2(16)の抵抗値をR1(15)の10倍の $100\text{k}\Omega$ とした。各端子CS, PL, DDの電圧は、図2のタイミングチャートにしたがって印加し、図1の回路のRECALL動作の解析をシミュレーションによって行なった。

#### 【0039】

端子Q1(9), Q2(10)の電圧のシミュレーション結果を図3に示す。図3から分かるように、端子Q1(9)およびQ2(10)の電圧は、始め両方上昇する。しかし、端子Q1(9), Q2(10)に接続されている抵抗値が異なるため、端子Q1(9), Q2(10)に電位に差が生じてくる。本実施形態では、一例として、約0.5V程度の差が生じた時点(Ta1=5.4ns)において、電源線14の電位をVddから下げた。Ta(10ns)後では、端子Q1の電圧はVddに上がり、端子Q2の電圧は0Vとなり、それぞれその値が保持された。

#### 【0040】

本実施形態では、端子Q1(9)とQ2(10)との電位の差が約0.5Vになったとき電源線14の電位を下げたが、この電位差はMOSトランジスタのしきい値程度であればよい。これは、フリップフロップのトランジスタM1(1)のゲートがQ1(9)に、ドレインがQ2(10)に接続されているため、Q1(9)とQ2(10)と電位差がM1(1)のしきい値以上になれば、このM1(1)は導通状態になり、ドレインが接続されているQ2(10)



は"0"になるためである。

#### 【0041】

このように、抵抗変化素子R1(15)とR2(16)の抵抗値の差によって、より大きな抵抗値を有する抵抗変化素子が接続された方の端子の電位が大きくなることで、Q1(9)、Q2(10)の電圧が一義的に決定されることが確認された。いま、R1(15)とR2(16)と抵抗値の比を10倍としたが、5倍程度でも同様な動作が得られることがシミュレーションによって判明した。つまり、図1の回路のRECALL動作の抵抗比のマージンは非常に大きいことが分かる。

#### 【0042】

このように、本実施形態の回路のRECALL動作によって、制御用トランジスタM7(7)、M8(8)を導通状態にし、第一および第二の抵抗素子R1(15)、R2(16)に電流を流すことで、端子Q1(9)およびQ2(10)の電圧に差が生じ、電源を遮断する前のフリップフロップの記憶情報を復帰させることが可能となる。また、端子Q1、Q2の電位差がMOSトランジスタのしきい値程度以上になったとき、制御用トランジスタ7、8を非導通状態にすることで、より低消費電力で、電源を遮断する前のフリップフロップの記憶情報を復帰させることができる。また、第一および第二の抵抗素子15、16の抵抗比は、5倍程度でもRECALL動作が正常になるので、非常に動作マージンが大きい。つまり、抵抗の大小関係が逆転しない限り、抵抗値のバラツキや変動に対し、動作は安定である。

#### 【0043】

なお、本実施の形態においては、各端子DDの電圧を徐々に大きくしていったが、これに限定されるものではない。動作を開始する電源電圧近傍において、フリップフロップの記憶端子Q1(9)、Q2(10)の電位差がMOSトランジスタのしきい値程度になるように各端子を制御すれば良い。よって、まず、CS線17に電圧を印加させ、PL線18を徐々に上げ、Q1(9)、Q2(10)の電位差が生じてから、次に、DD(14)の電圧を徐々に大きくしてもよい。

#### 【0044】

また、本実施形態では、RECALL時間であるTaとして、10nsとしたが、これに限定されるものではなく、約1ns程度に小さくしても構わない。

**【0045】**

以上のように、本発明の第一の実施形態によれば、通常のフリップフロップの記憶端子のそれぞれに制御用トランジスタを介して抵抗素子を接続させることで、フリップフロップの記憶情報を不揮発に保持させることが可能となる。

**【0046】**

従来例では、強誘電体のリーク電流により、通常のフリップフロップに比べ、WRITE動作やREAD動作における消費電力が増大するが、本実施形態では、抵抗変化素子が制御用トランジスタによって切り離されているので、ほとんど増大しない。また、従来回路では、強誘電体のデイスターブによりRECALL動作において動作が不安定であるが、本実施形態では、抵抗変化素子を用いており、抵抗比が5倍以上で復帰するため、動作マージンは大きい。さらに、記憶端子の電位差がMOSトランジスタのしきい値程度で制御用トランジスタを非導通状態にするため、低消費電力で動作する。

**【0047】**

なお、相変化材料として、本実施形態ではGeTeSbを用いたが、電流を与えることで抵抗を変化させる材料であれば如何なる物においても、本素子の動作が得られることは言うまでもない。

**【0048】**

また、本実施形態では、抵抗変化素子の接続の仕方として、記憶端子、制御用トランジスタ、抵抗変化素子、PL線の順番の直列接続としたが、記憶端子、抵抗変化素子、制御用トランジスタ、抵抗変化素子、PL線の順番の直列接続でも構わない。

**【0049】**

さらに、本実施形態では、フリップフロップのインバータとして、CMOSインバータを用いたが、MOSトランジスタと抵抗によって構成されるインバータでも構わない。

**【0050】****【発明の効果】**

本発明の不揮発性フリップフロップにより、電源が回復したときにおけるフリ

アップフロップの記憶情報を復帰する動作が安定になる。また、通常のフリップフロップの動作において、制御用トランジスタで抵抗変化素子を切り離すため、抵抗変化素子が寄生抵抗として働かず、高速かつ低消費電力で動作することができる。

【図面の簡単な説明】

【図 1】

本発明の第一の実施形態の回路図の一例を示す図

【図 2】

同第一の実施形態のRECALL動作の各端子のタイミングチャート

【図 3】

同第一の実施形態のRECALL動作において端子Q1およびQ2の電圧のシミュレーション結果の図

【図 4】

同第一の実施形態のSTORE動作の第一のステップの各端子のタイミングチャート

【図 5】

同第一の実施形態のSTORE動作の第一のステップにおいて抵抗素子R1, R2に流れる電流のシミュレーション結果の図

【図 6】

同第一の実施形態のSTORE動作の第二のステップの各端子のタイミングチャート

【図 7】

同第一の実施形態のSTORE動作の第二のステップにおいて抵抗素子R1, R2に流れる電流のシミュレーション結果の図

【図 8】

従来例の回路図

【符号の説明】

- 1 第一のN型MOSトランジスタ M1
- 2 第二のP型MOSトランジスタ M2

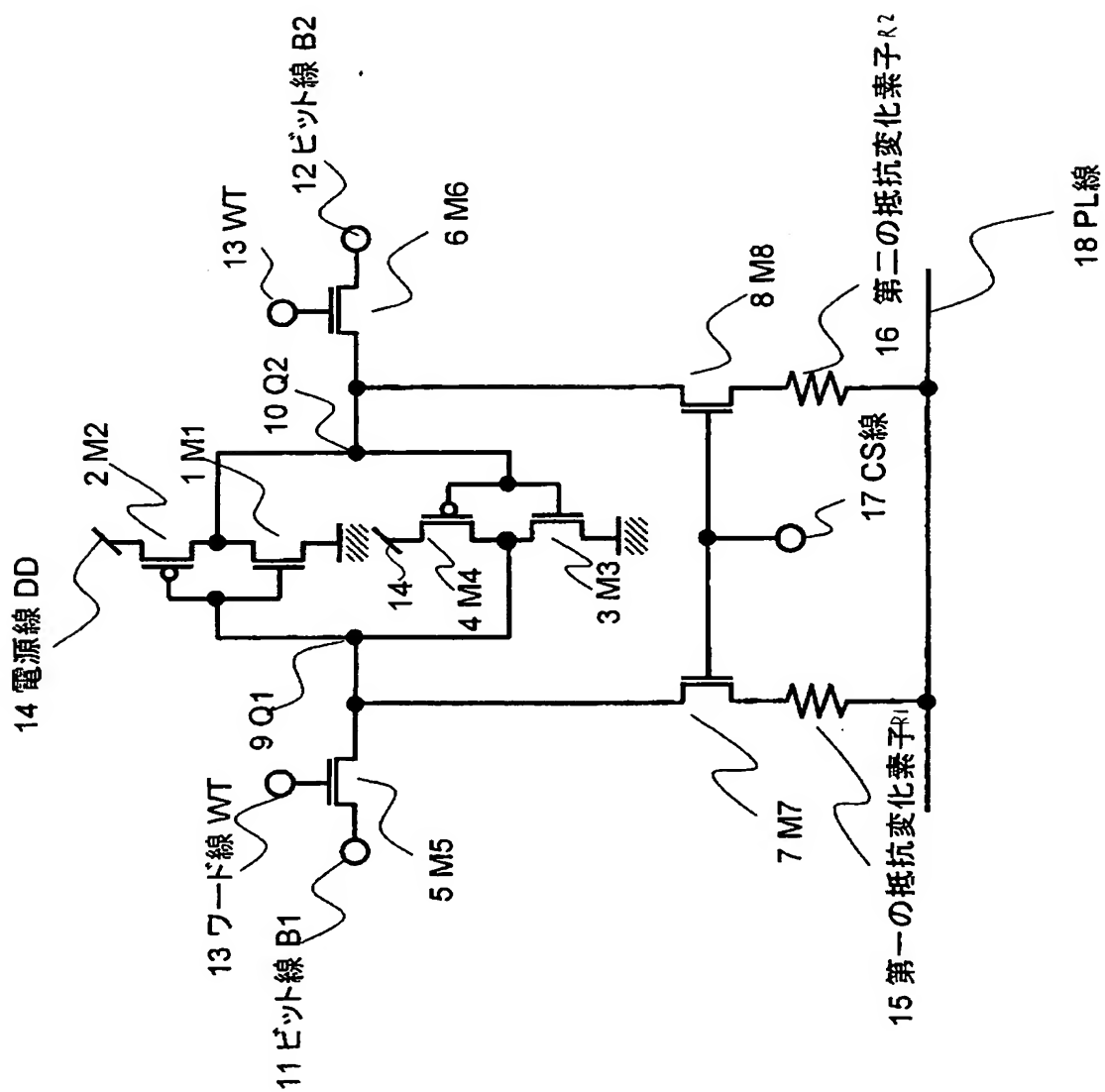
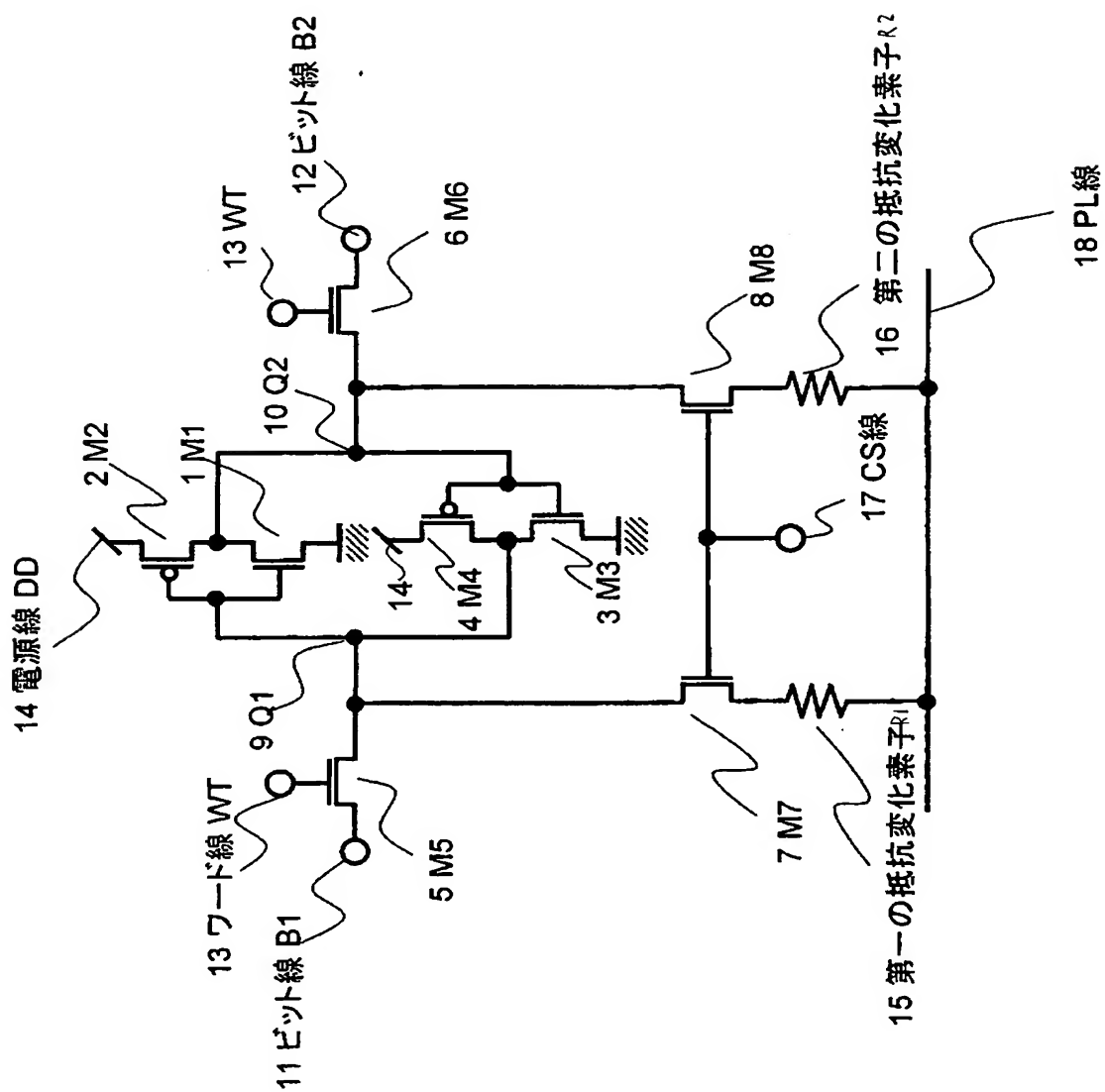
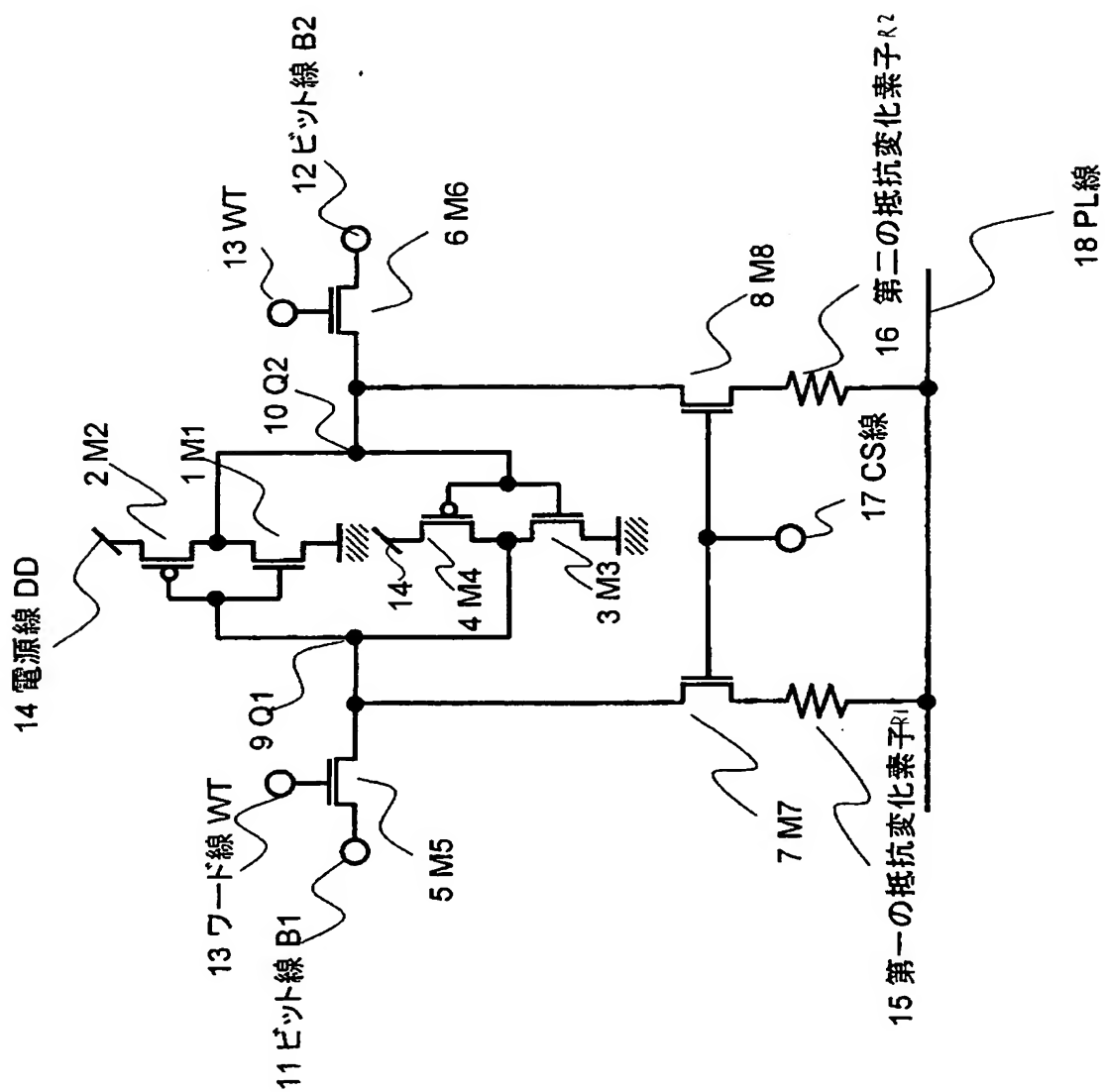
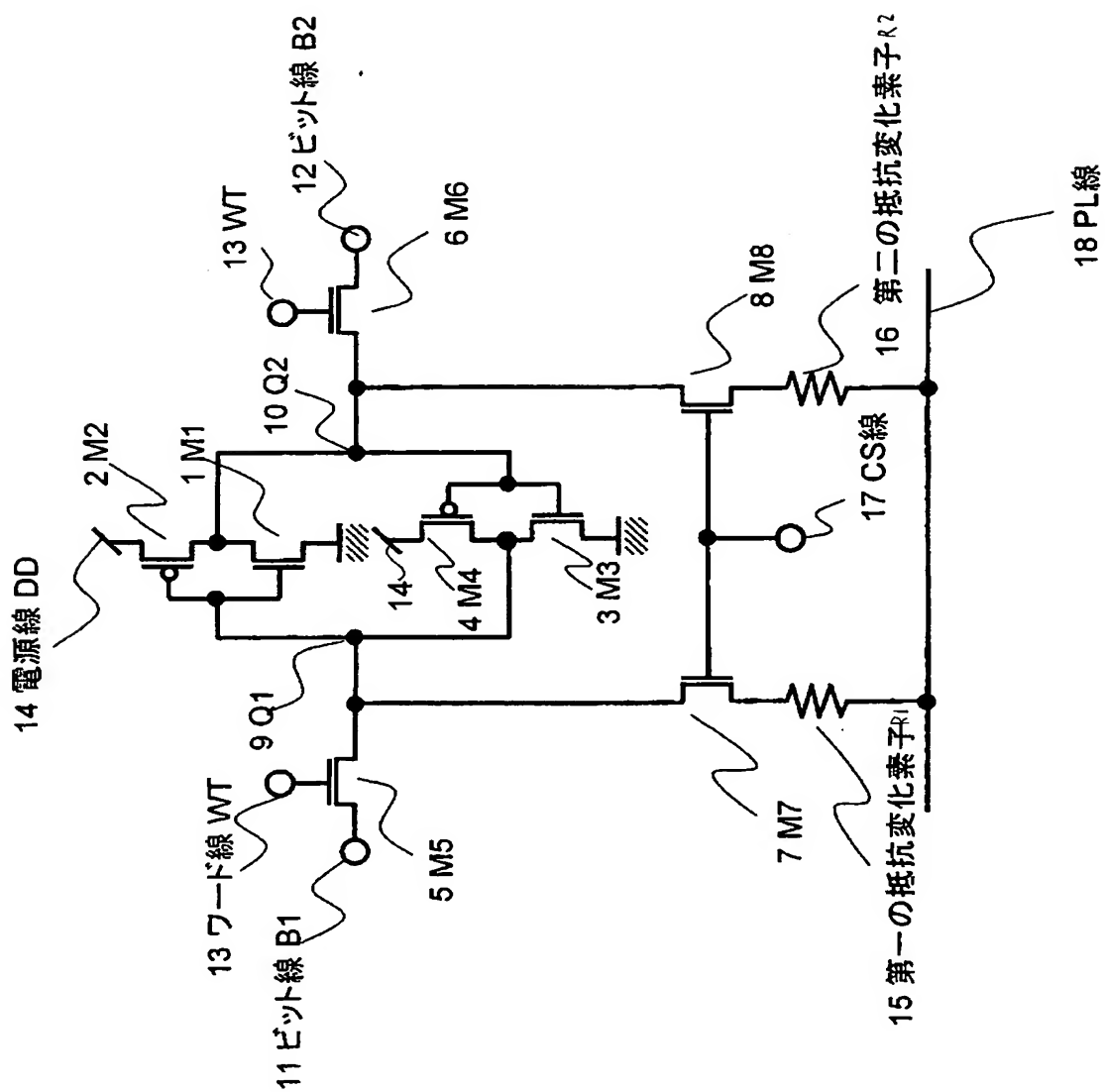
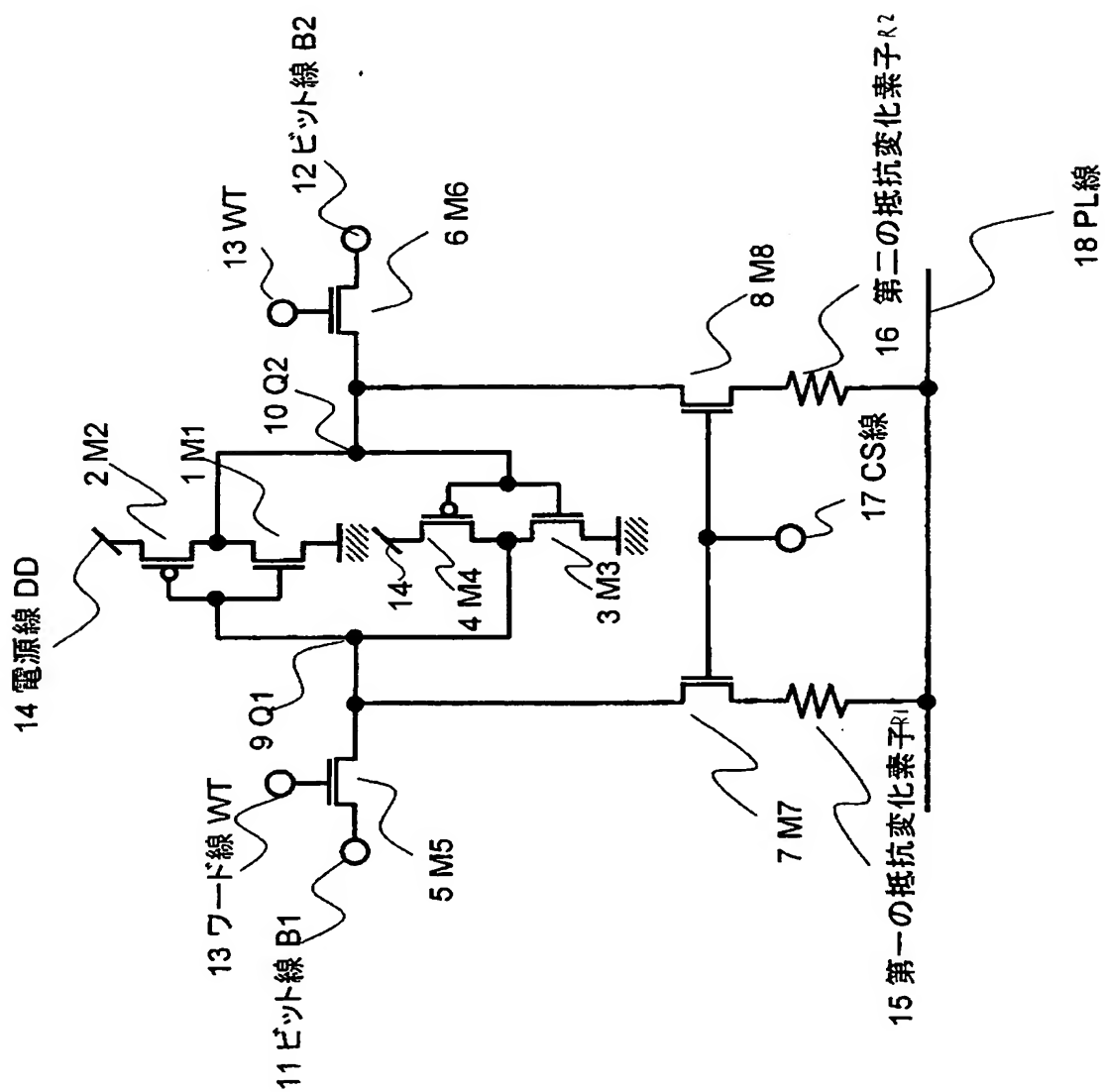
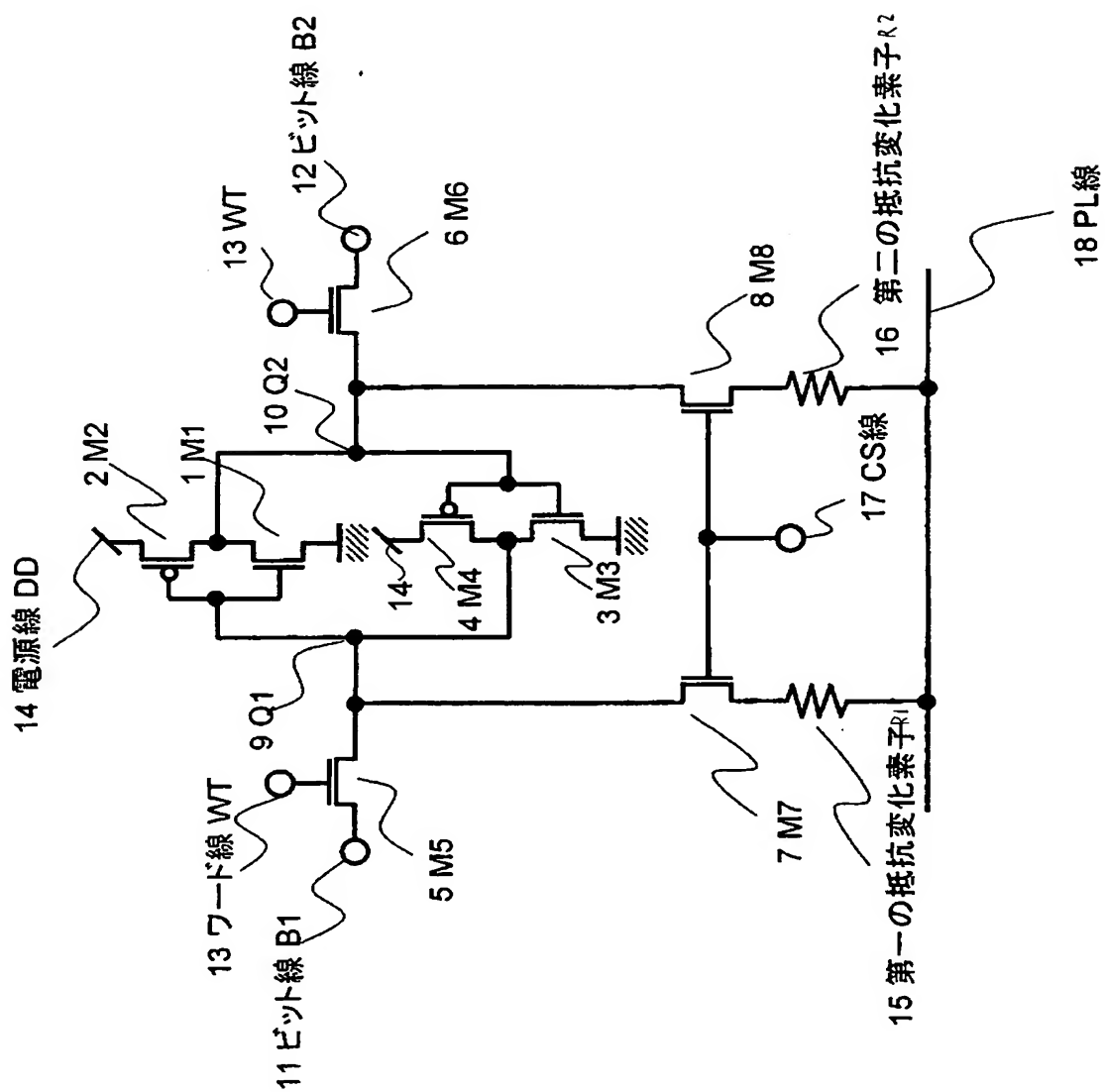
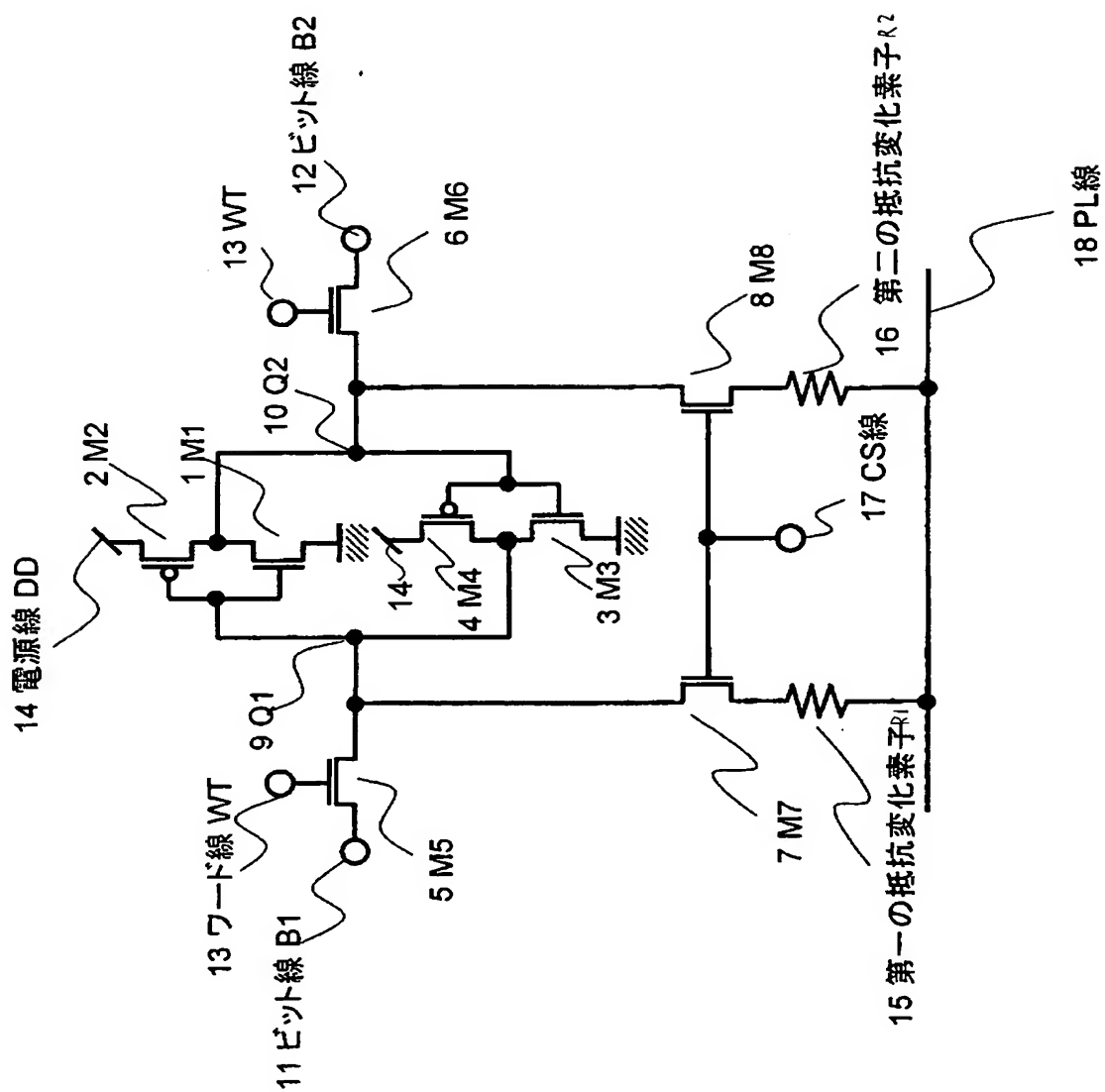
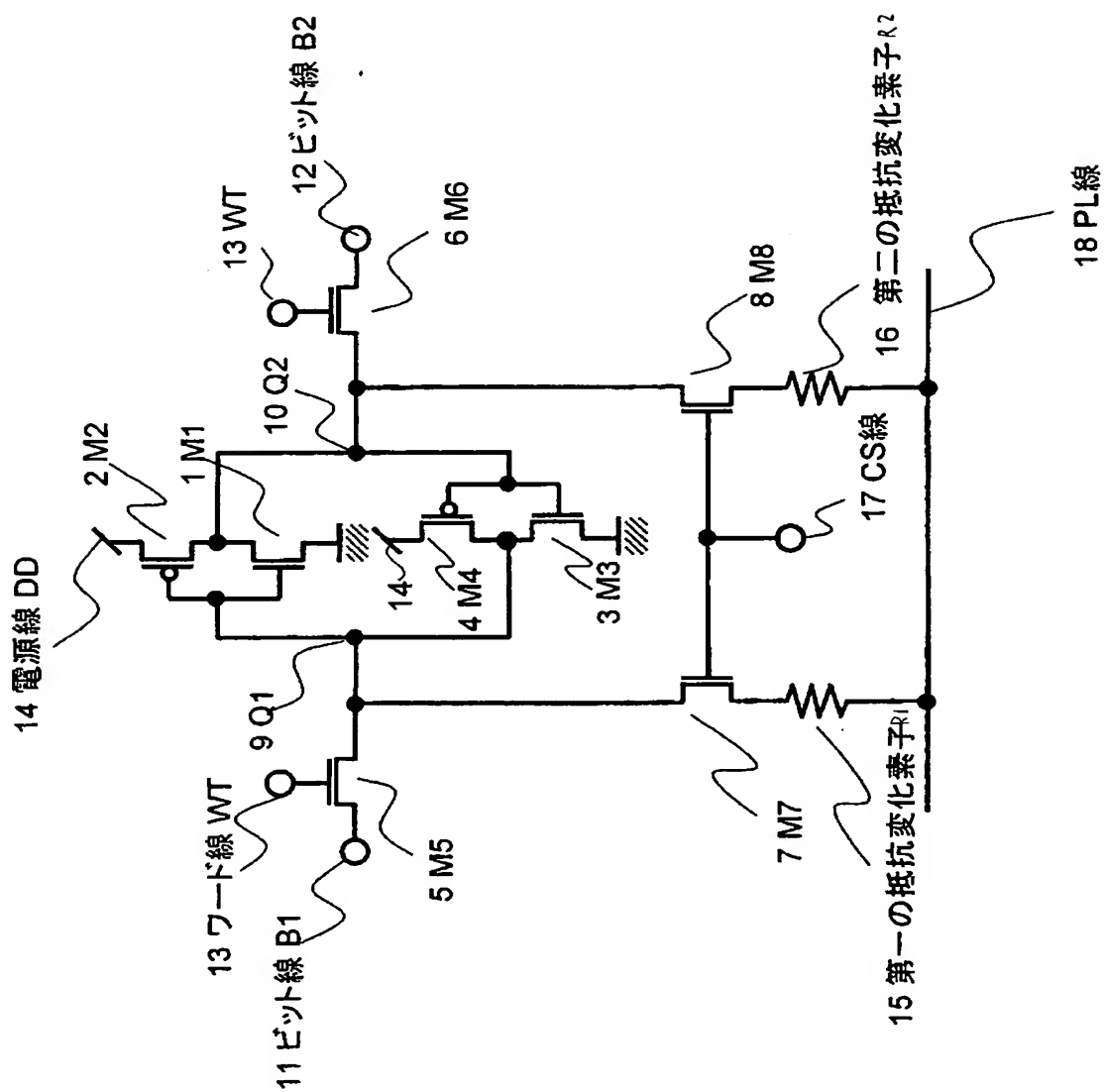
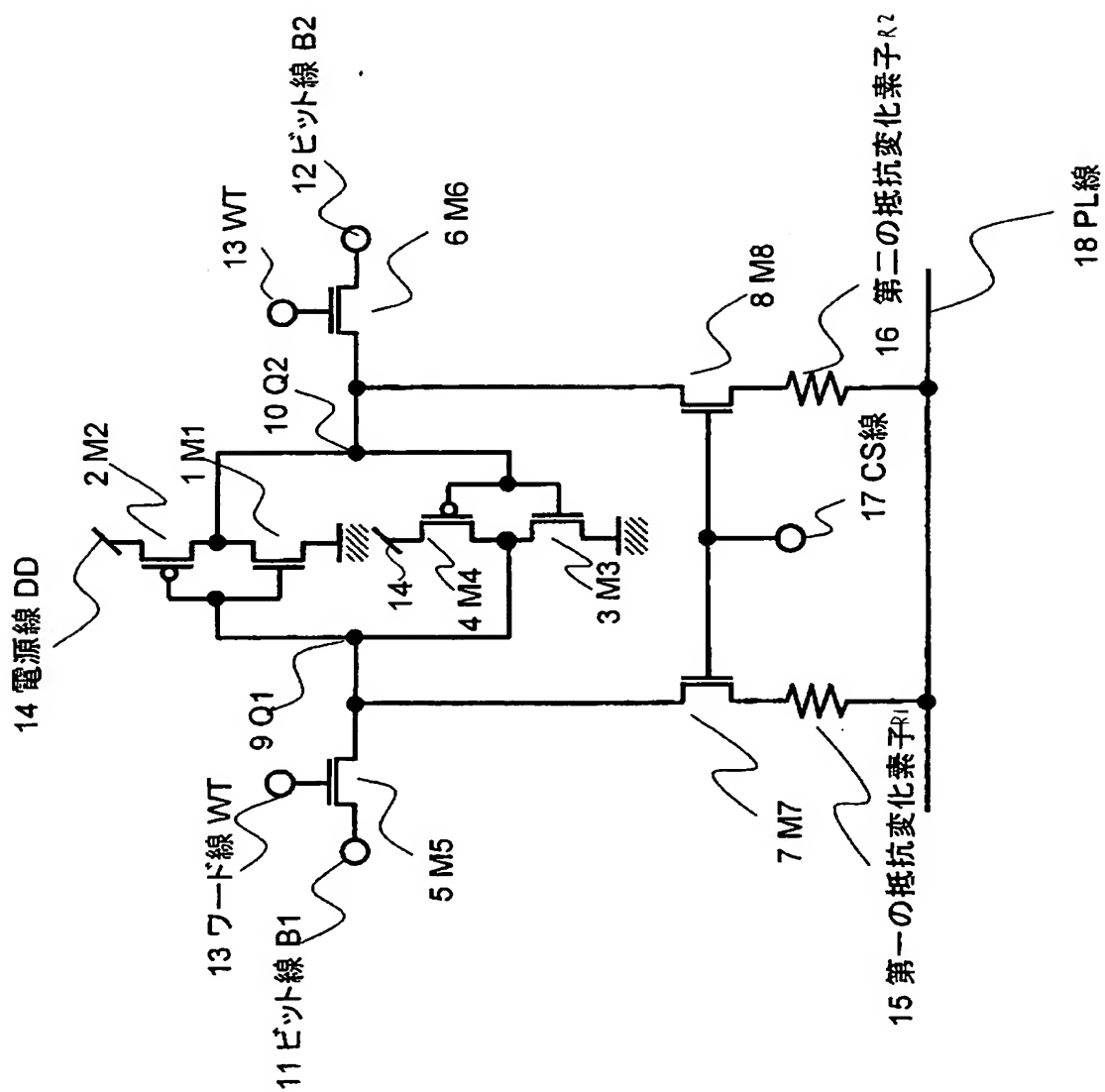
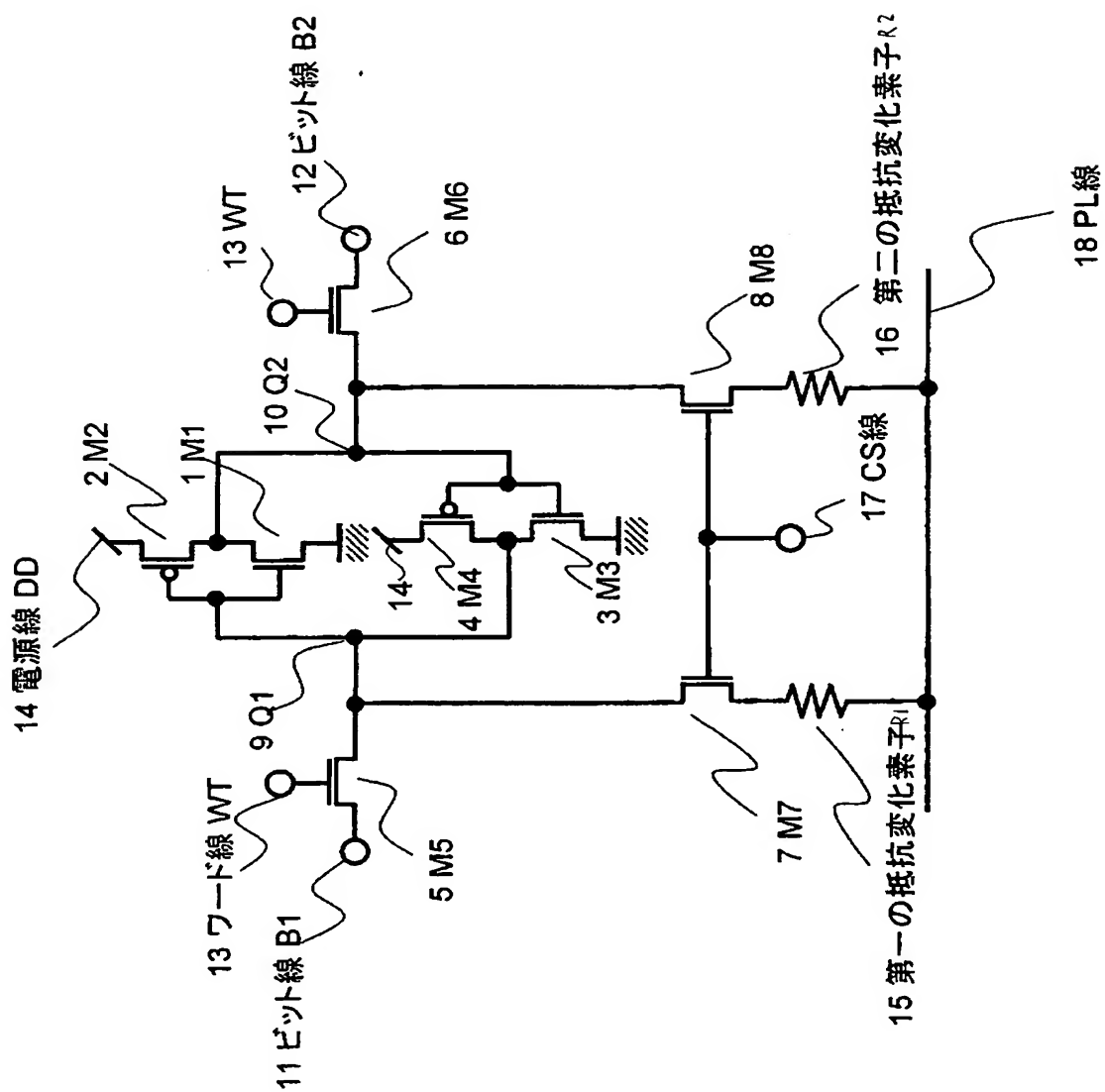
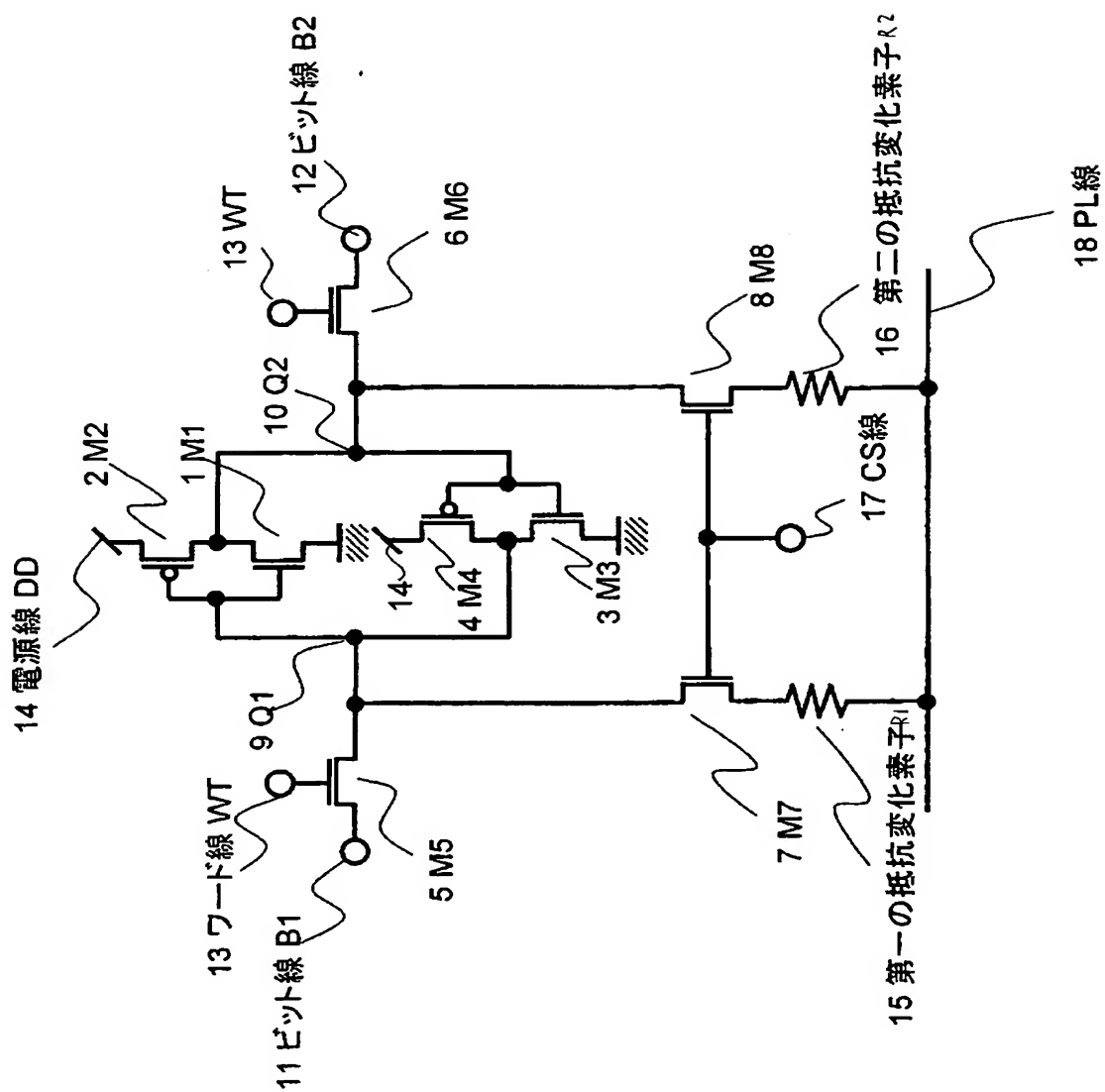
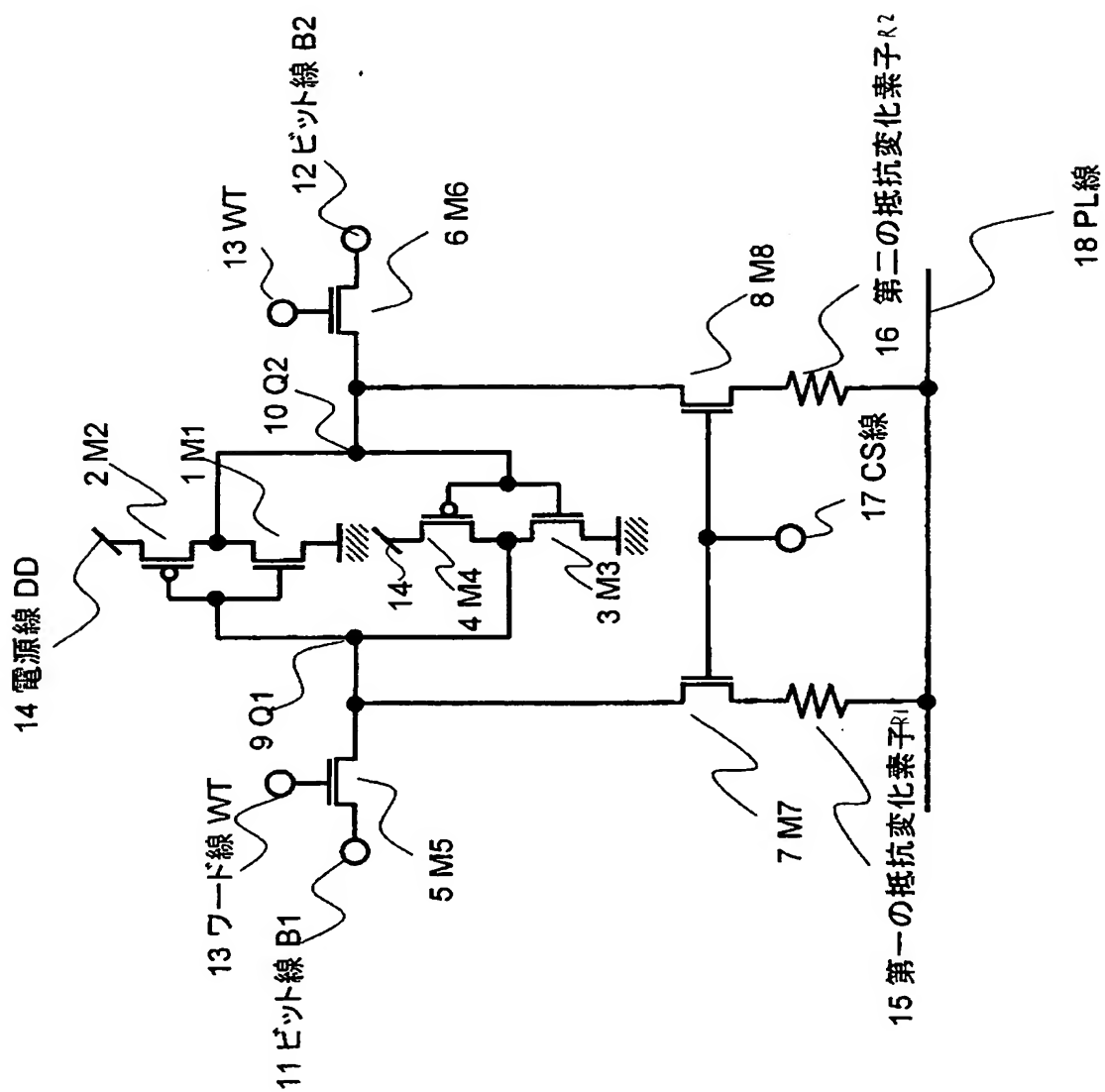
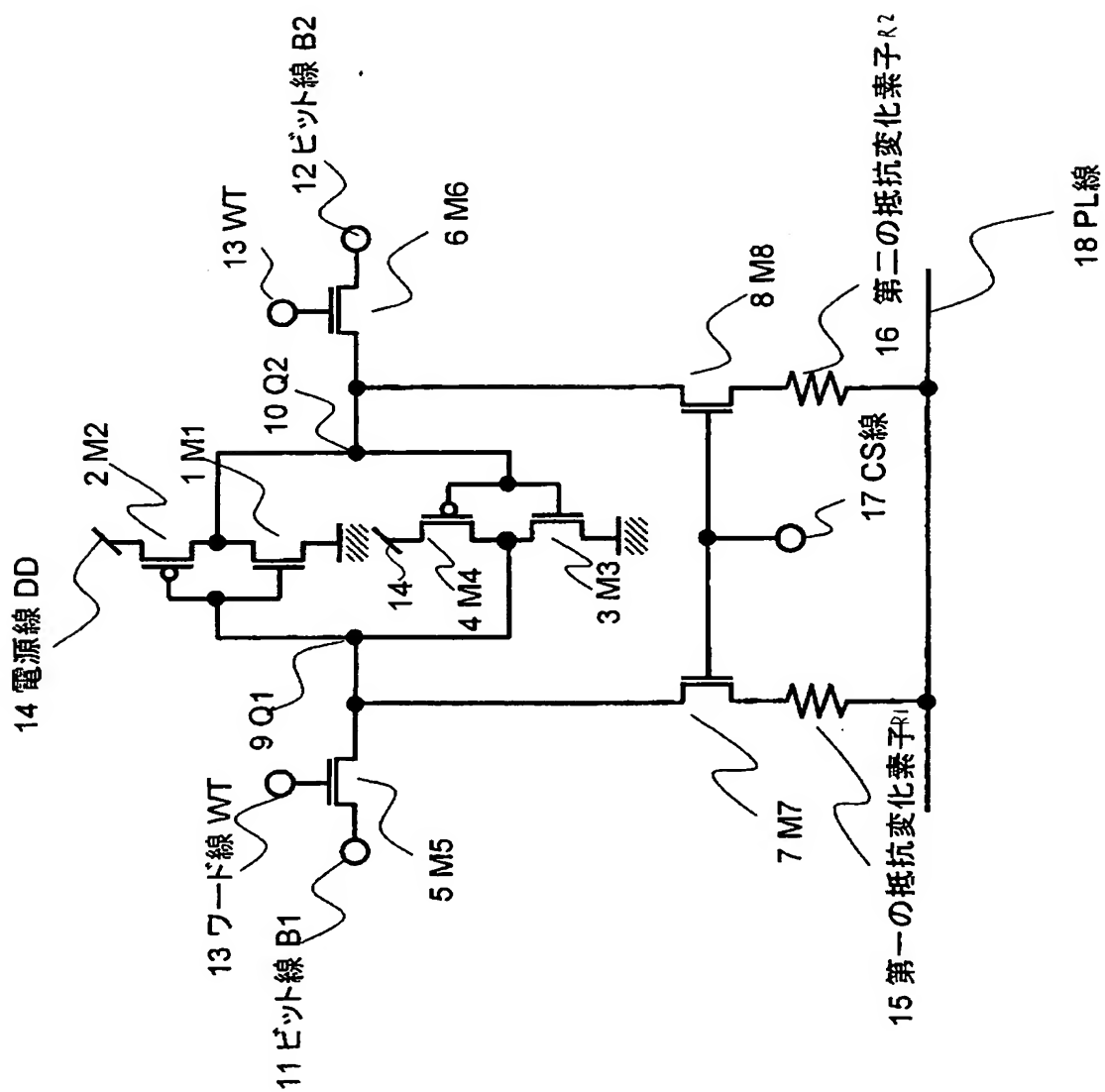
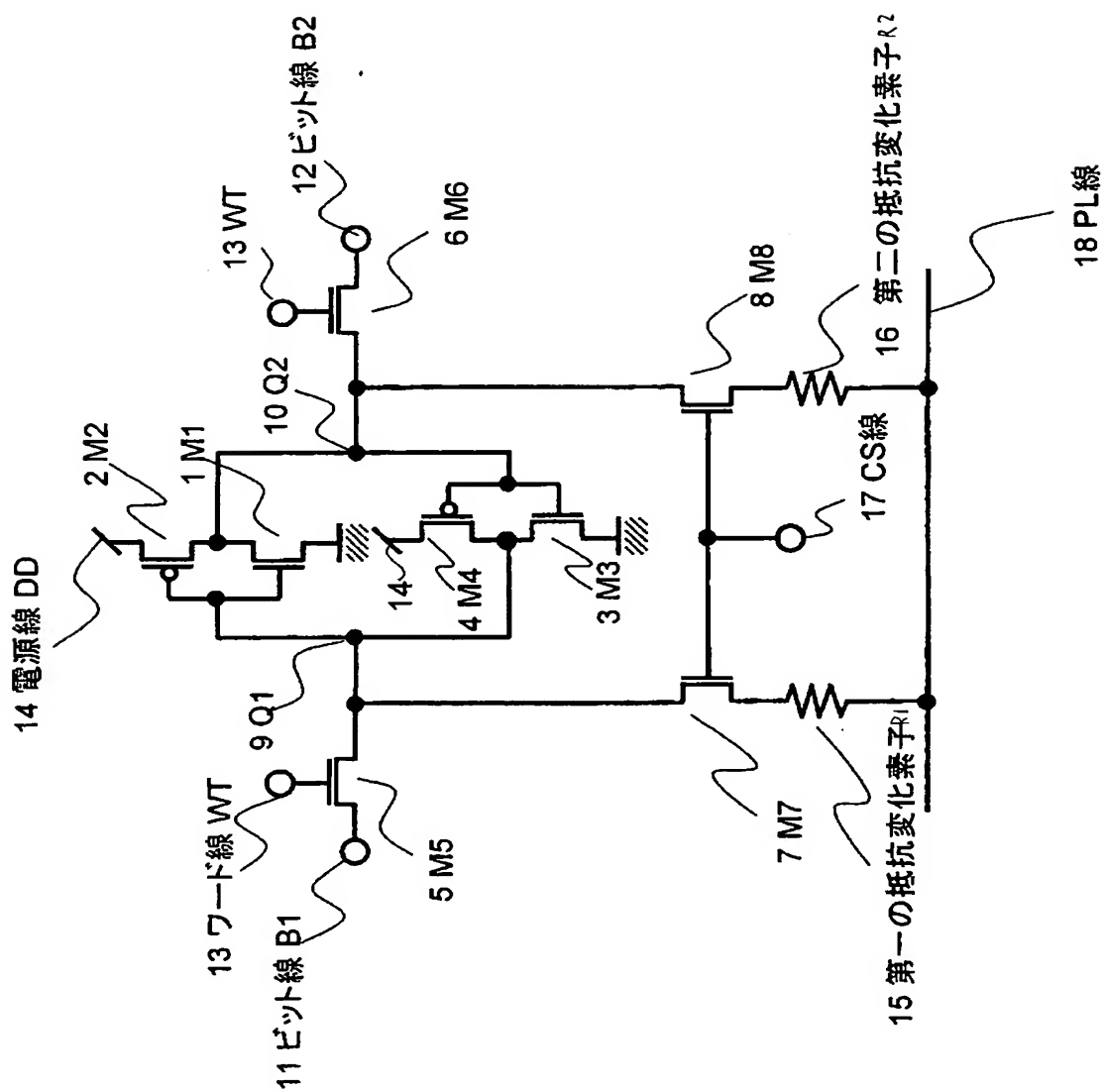
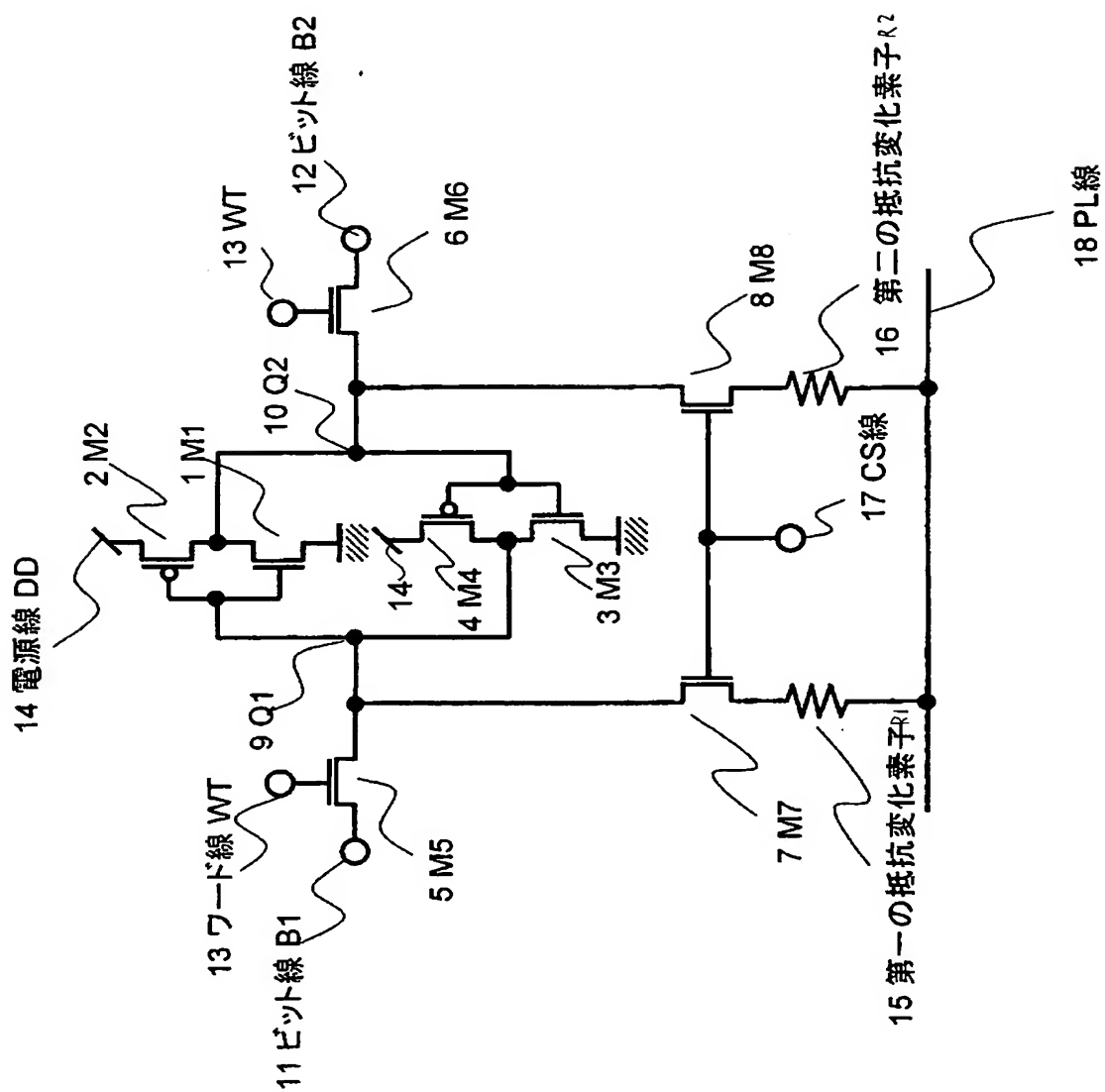
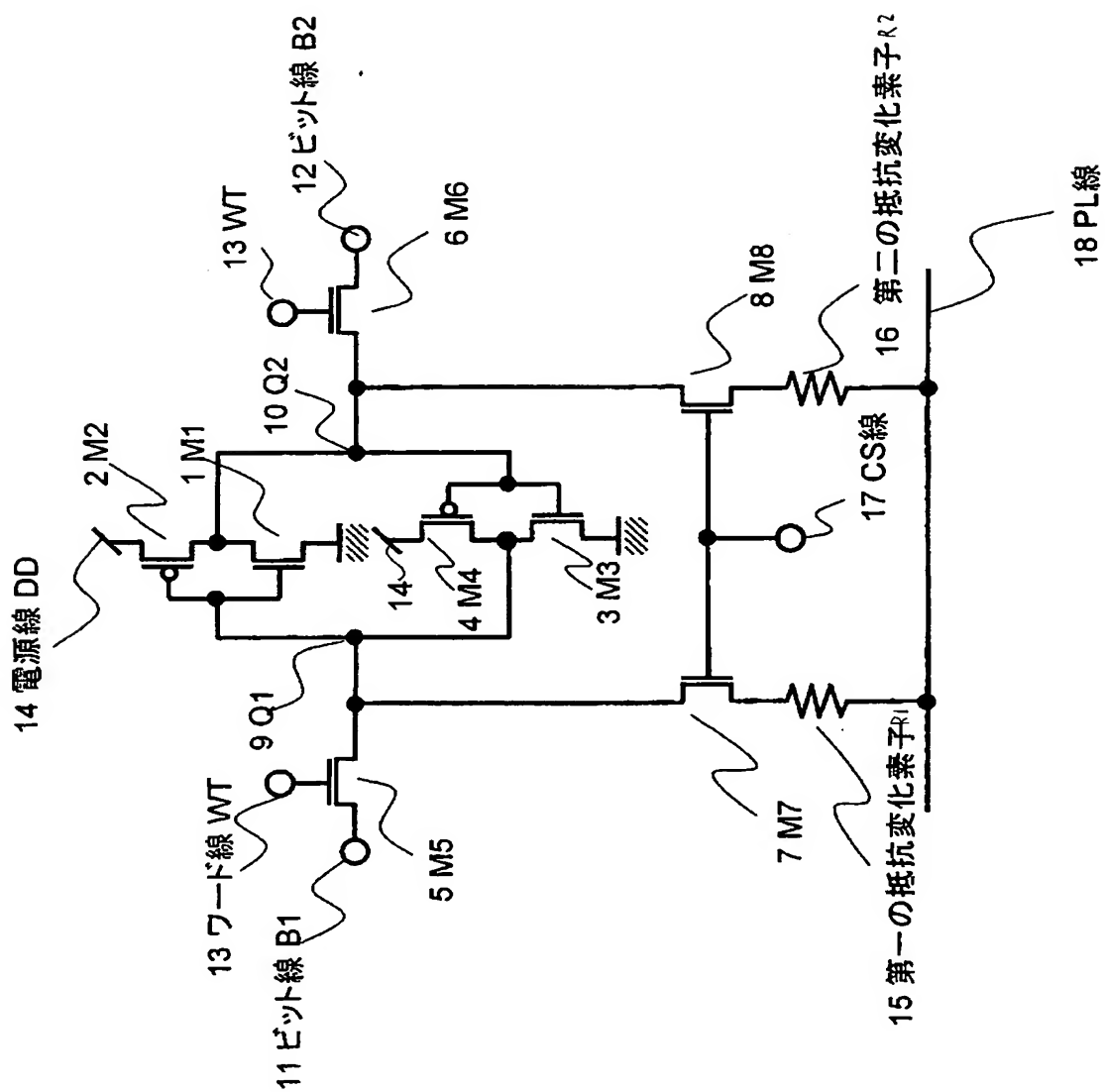
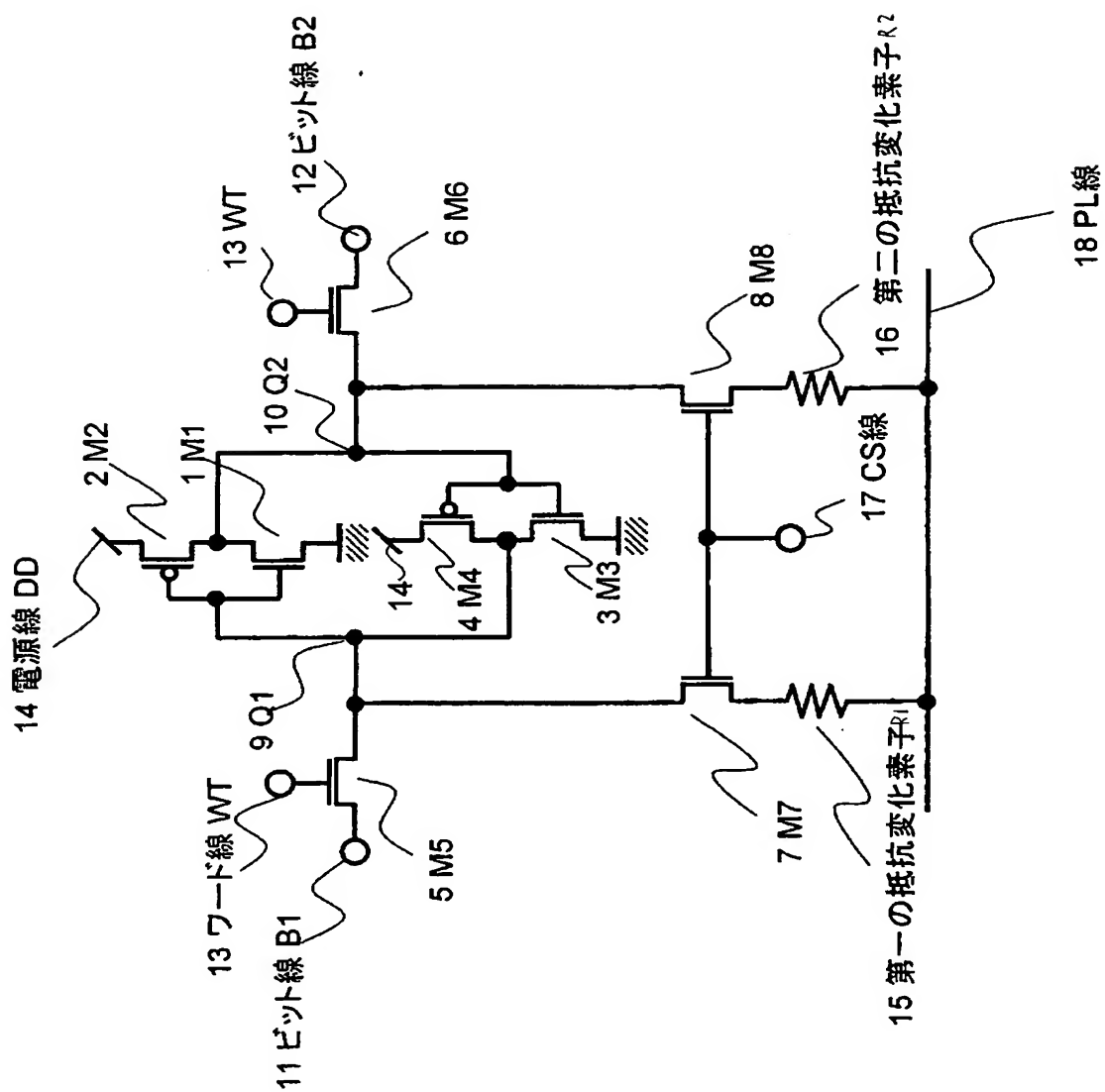
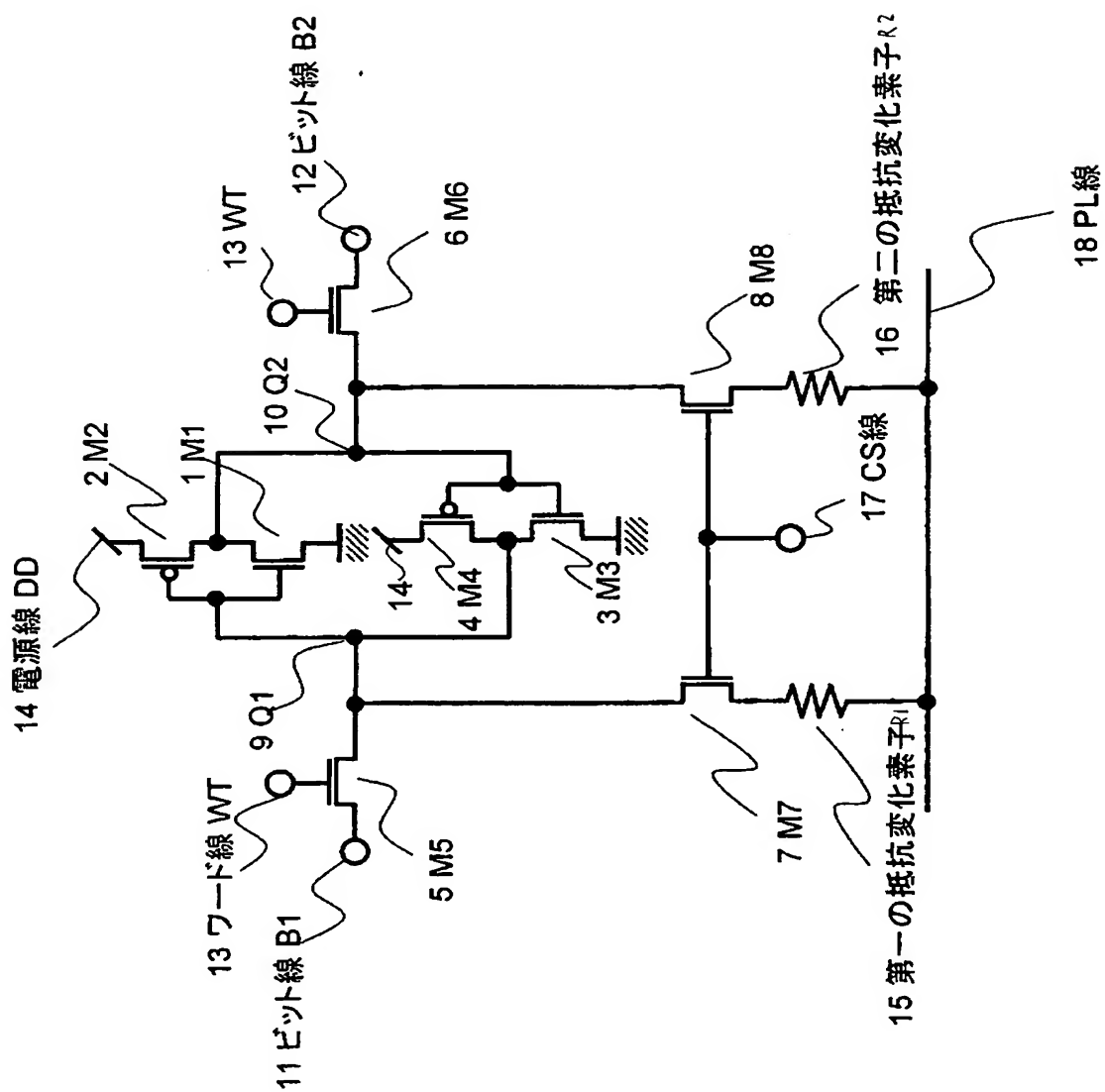
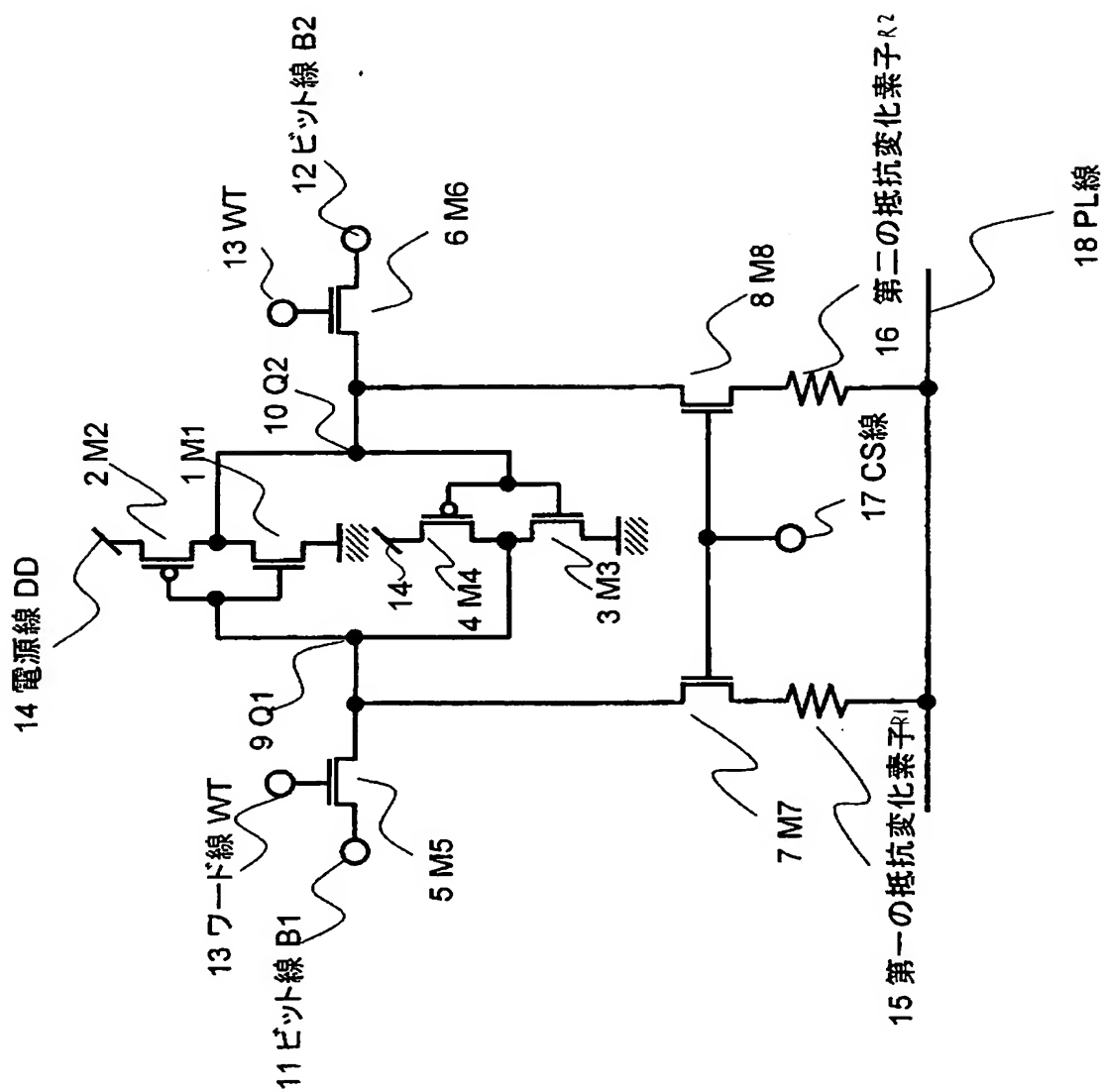
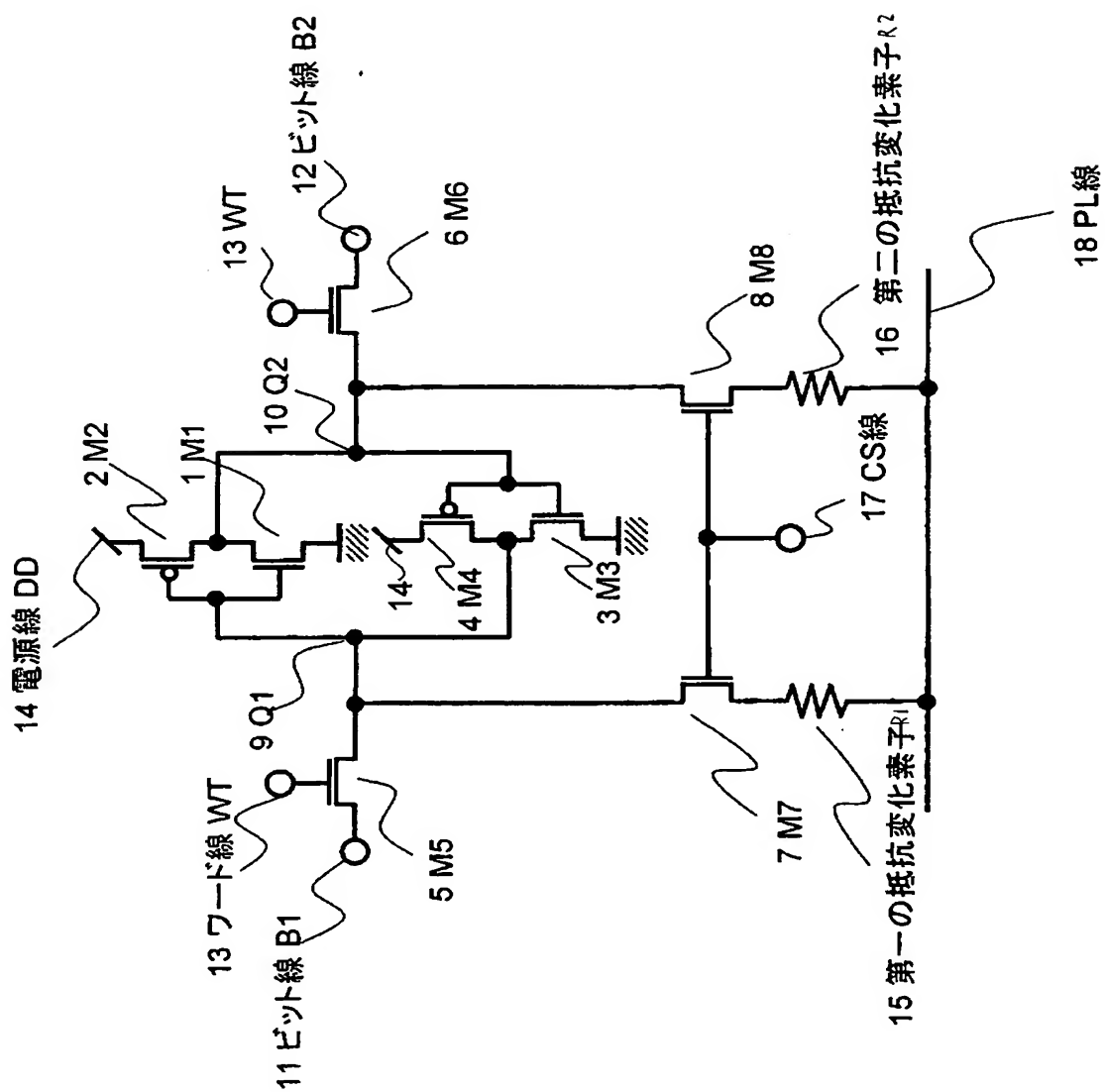
- 3 第三のN型MOSトランジスタ M3
- 4 第四のP型MOSトランジスタ M4
- 5 第五のN型MOSトランジスタ M5
- 6 第六のN型MOSトランジスタ M6
- 7 第七のN型MOSトランジスタ M7
- 8 第八のN型MOSトランジスタ M8
- 9 記憶端子 Q1
- 10 記憶端子 Q2
- 11 ビット線 B1
- 12 ビット線 B2
- 13 ワード線 WT
- 14 電源線 DD
- 15 第一の抵抗変化素子
- 16 第二の抵抗変化素子
- 17 CS線
- 18 PL線
- 101 第一のN型MOSトランジスタ M1
- 102 第二のP型MOSトランジスタ M2
- 103 第三のN型MOSトランジスタ M3
- 104 第四のP型MOSトランジスタ M4
- 105 第五のN型MOSトランジスタ M5
- 106 第六のN型MOSトランジスタ M6
- 107 第一の抵抗素子 R1
- 108 第二の抵抗素子 R2
- 109 記憶端子 Q1
- 110 記憶端子 Q2
- 111 ビット線 B1
- 112 ビット線 B2
- 113 ワード線 WT

114 電源線 DD

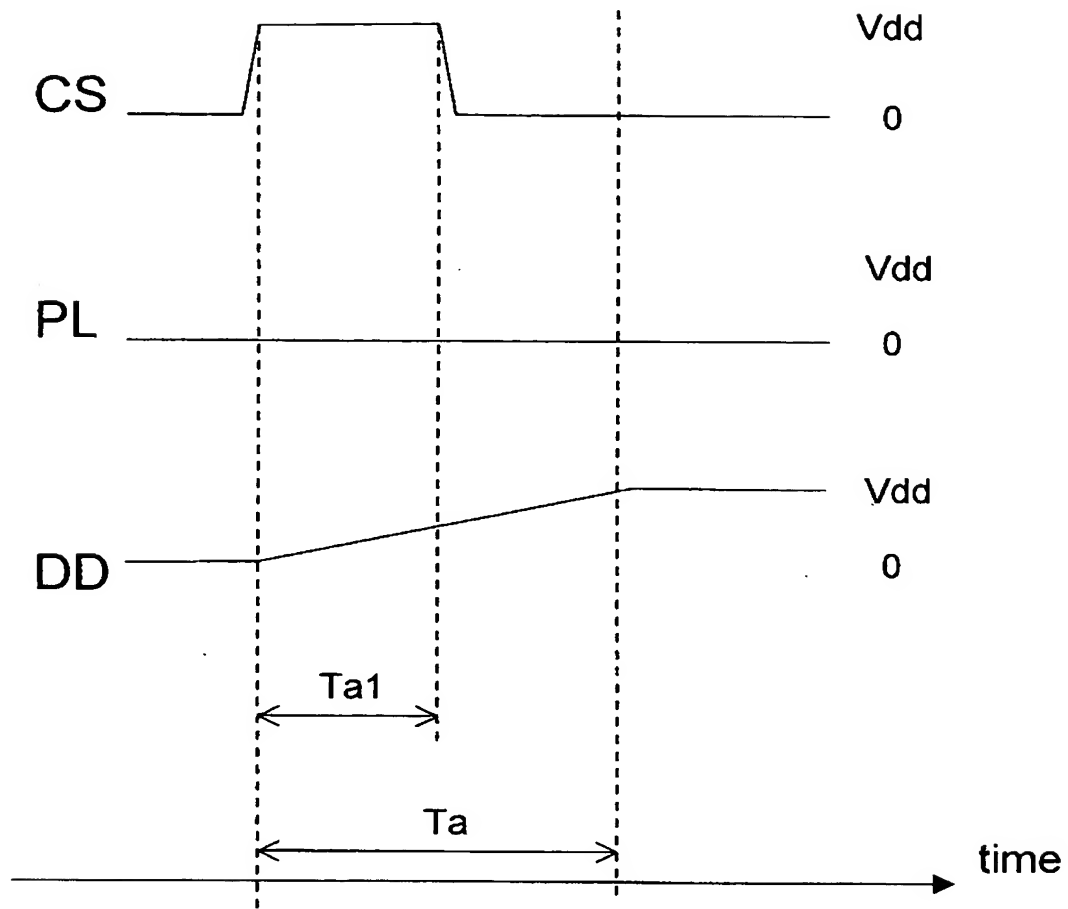
【書類名】

凶面

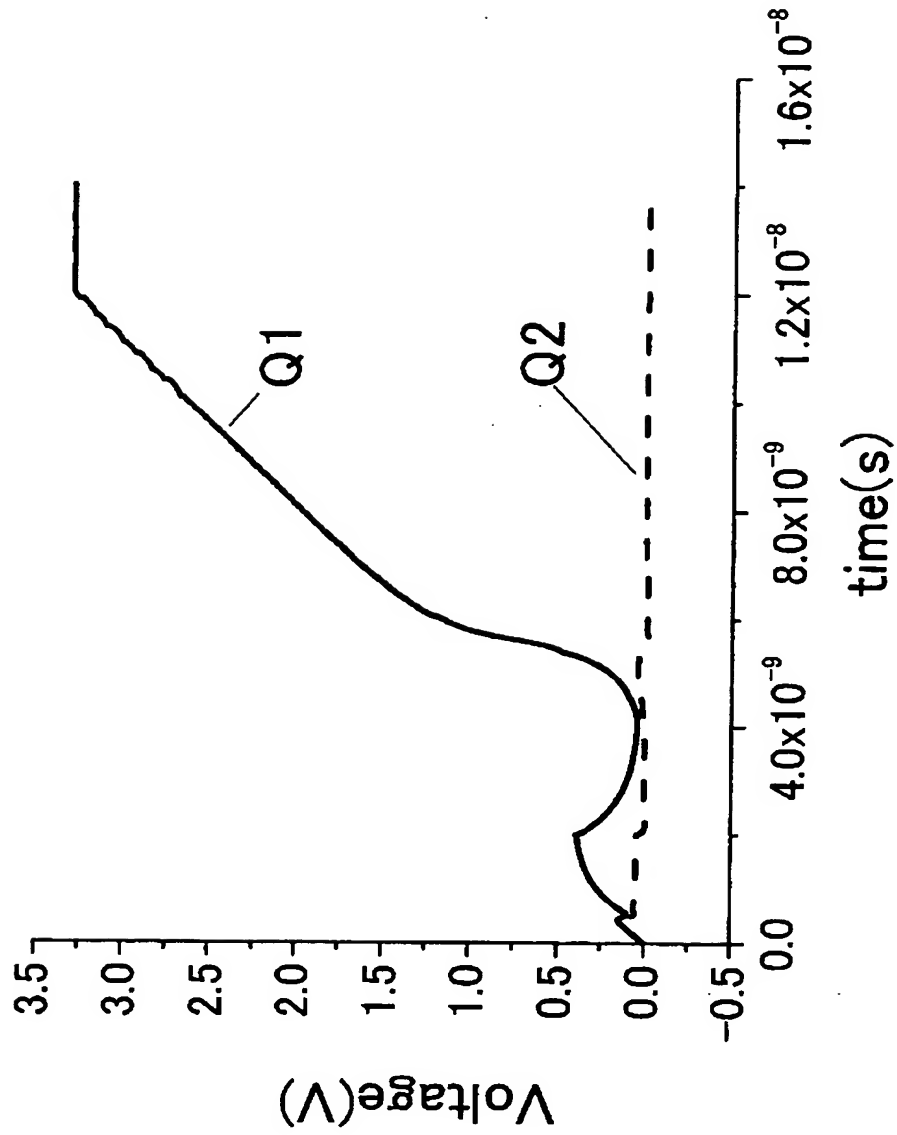
【図 1】



【図 2】



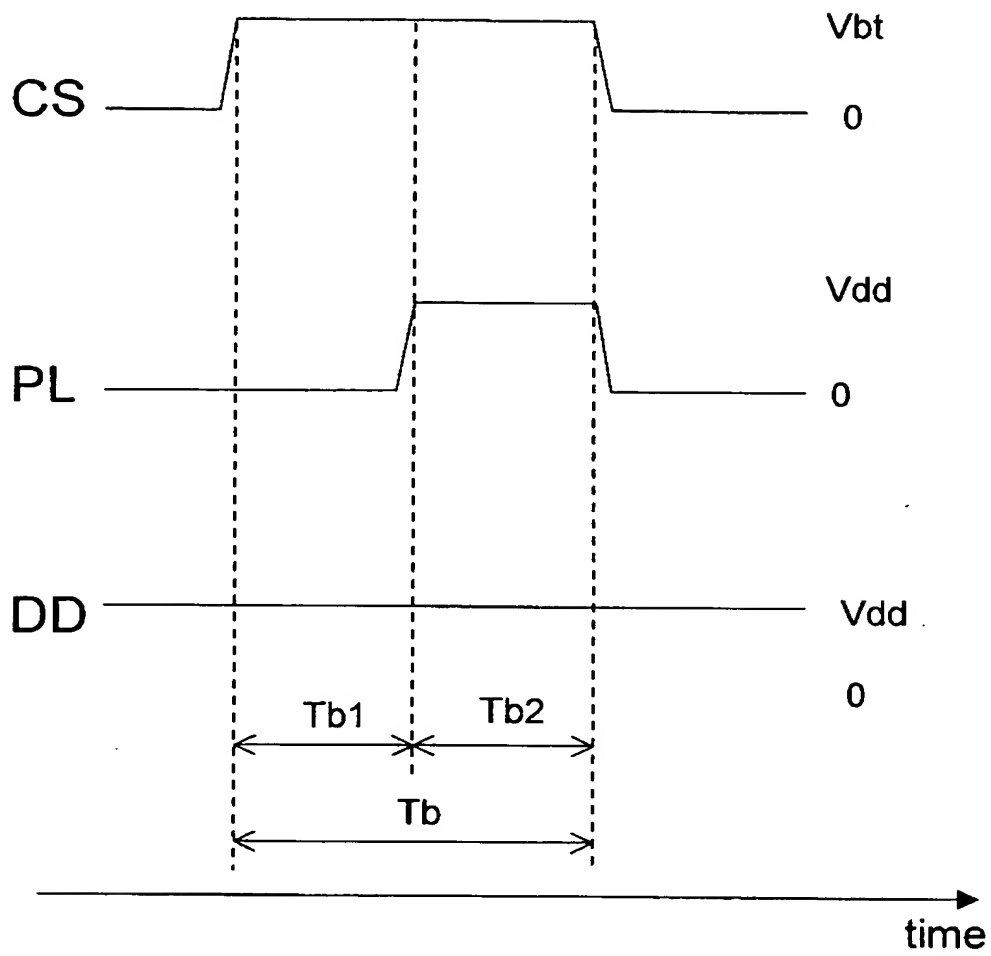
【図 3】



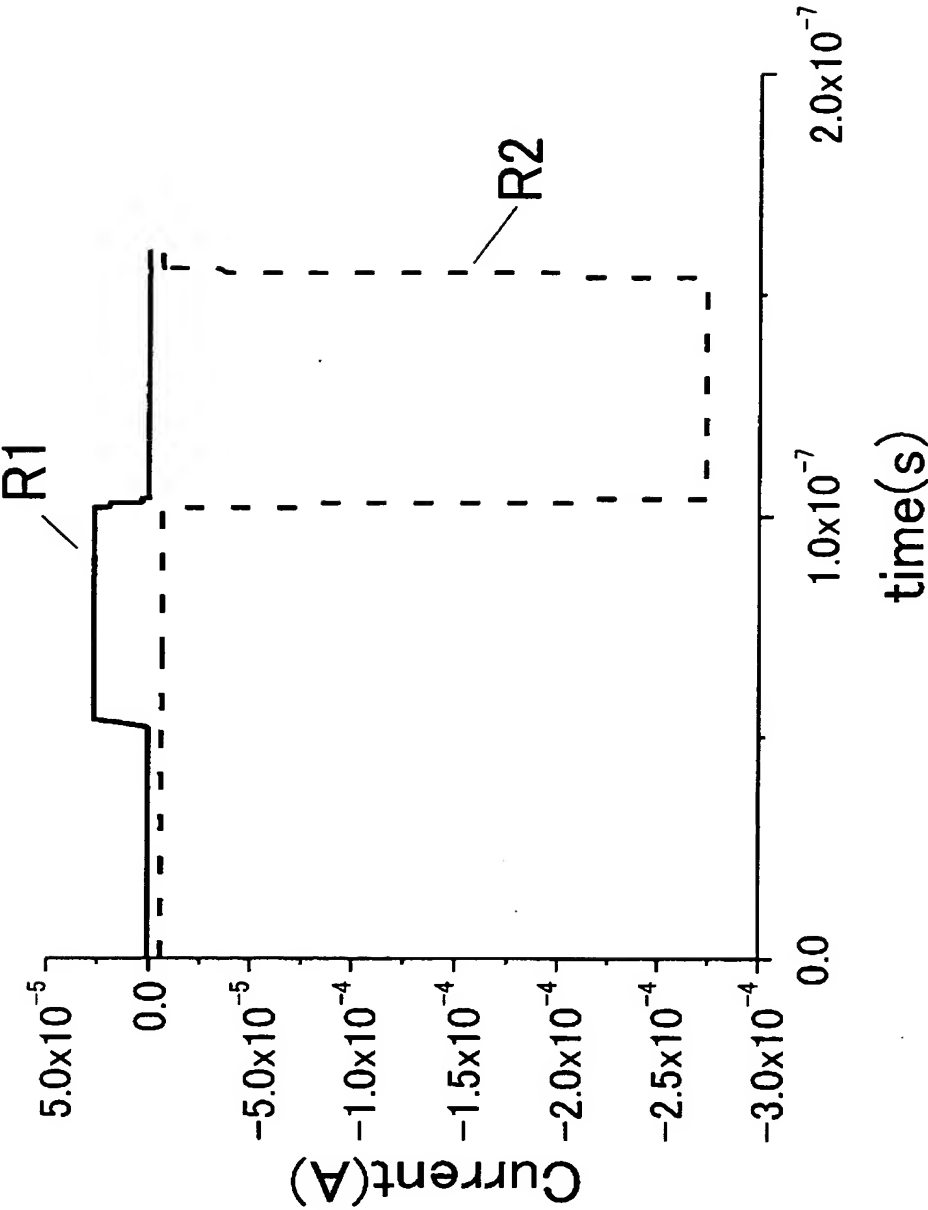
RECALL動作時のQ1, Q2の電位の時間変化の様子



【図 4】

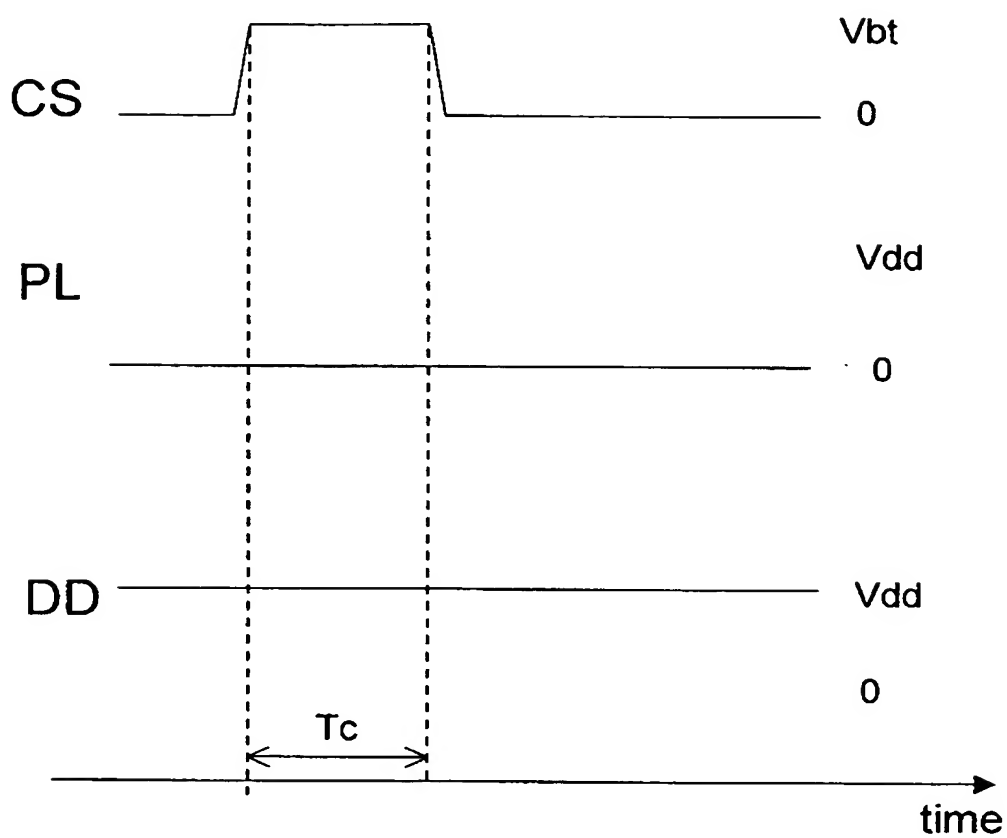


【図 5】

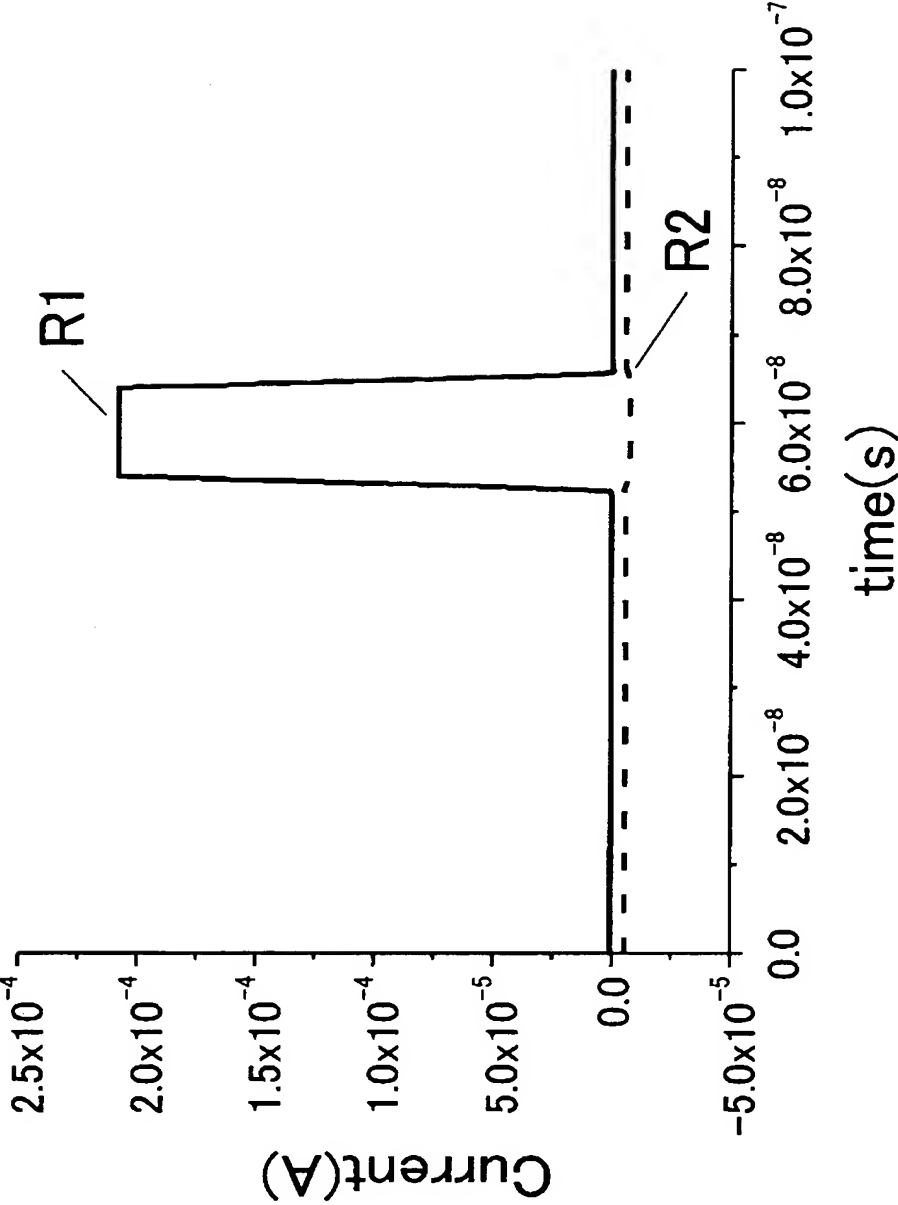


STORE動作(1)時のR1, R2に流れる電流の時間変化の様子

【図 6】

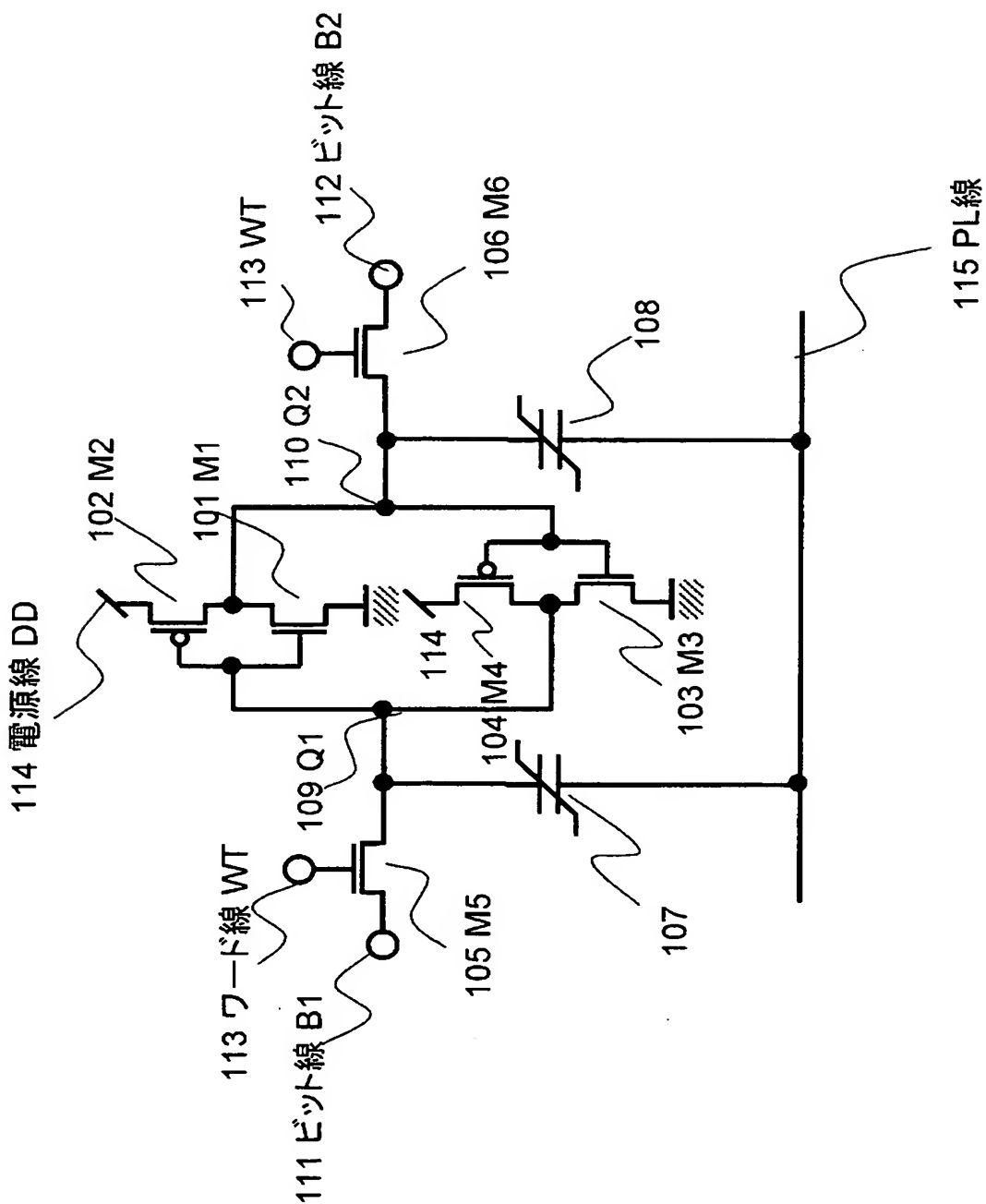


【図 7】



STORE動作(2)時のR1, R2に流れる電流の時間変化の様子

【図 8】



【書類名】 要約書

【要約】

【課題】 強誘電体を用いた不揮発性フリップフロップでは、ディスターブにより動作が不安定になる。また、フリップフロップの通常動作時において、強誘電体キャパシタに電圧が常に印加されている状態のためリーク電流が存在し、消費電力が増大する課題があった。

【解決手段】 通常のフリップフロップの記憶端子に抵抗変化素子を接続させる。抵抗変化素子の抵抗値の差により、電源復帰後フリップフロップの記憶情報を安定に復帰可能となる。また、両方の抵抗変化素子を結晶状態にした後、一方の抵抗変化素子のみをアモルファス状態にすることで抵抗変化素子に記憶情報を書き込むことが可能となる。

【選択図】 図1

特願 2 0 0 2 - 3 1 9 7 2 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社